



PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Docket No: Q78699

Yukitoshi HIROSE

Appln. No.: 10/724,164

Group Art Unit: 2186

Confirmation No.: 9393

Examiner: Unknown

Filed: December 01, 2003

For: MEMORY SYSTEM AND CONTROL METHOD THEREFOR

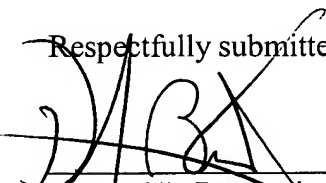
SUBMISSION OF PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Submitted herewith is a certified copy of the priority document on which a claim to priority was made under 35 U.S.C. § 119. The Examiner is respectfully requested to acknowledge receipt of said priority document.

Respectfully submitted,


Howard L. Bernstein
Registration No. 25,665

SUGHRUE MION, PLLC
Telephone: (202) 293-7060
Facsimile: (202) 293-7860

WASHINGTON OFFICE

23373

CUSTOMER NUMBER

Enclosures: Japan 2002-349867

Date: April 9, 2004

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年12月 2日
Date of Application:

出願番号 特願2002-349867
Application Number:
[ST. 10/C]: [JP2002-349867]

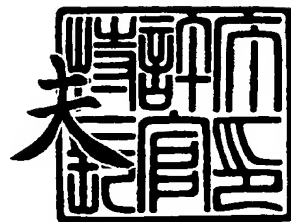
出願人 エルピーダメモリ株式会社
Applicant(s):



2003年12月12日

特許庁長官
Commissioner,
Japan Patent Office

今井 康



出証番号 出証特2003-3103365

【書類名】 特許願

【整理番号】 22310246

【提出日】 平成14年12月 2日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 13/16

【発明者】

 【住所又は居所】 東京都中央区八重洲 2 - 2 - 1 エルピーダメモリ株式会社
 会社内

 【氏名】 廣瀬 行敏

【特許出願人】

 【識別番号】 500174247

 【氏名又は名称】 エルピーダメモリ株式会社

【代理人】

 【識別番号】 100088328

 【弁理士】

 【氏名又は名称】 金田 暢之

 【電話番号】 03-3585-1882

【選任した代理人】

 【識別番号】 100106297

 【弁理士】

 【氏名又は名称】 伊藤 克博

【選任した代理人】

 【識別番号】 100106138

 【弁理士】

 【氏名又は名称】 石橋 政幸

【手数料の表示】

 【予納台帳番号】 089681

 【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0111098

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 メモリシステム及びその制御方法

【特許請求の範囲】

【請求項 1】 データを保持するメモリ領域及びデータを送受信するためのバッファ部を備えた複数のメモリモジュールを有し、該バッファ部を直列に接続することでバスが形成されるメモリシステムであって、

前記メモリモジュールに格納されたデータがコピーされるハードディスク装置と、

任意のメモリモジュールを交換する際に、前記バスを、単一方向に信号の送受信が可能な単一方向バスから双方向に信号の送受信が可能な双方向バスに切り換えると共に、前記交換するメモリモジュールのアドレス空間を検出し、前記交換するメモリモジュールに対するアクセス要求時に、該検出したアドレス空間に対応する前記ハードディスク装置内のメモリ領域にアクセスするための制御手段と、

を有し、

前記バッファ部は、

前記バスを、前記制御手段からの指示にしたがって前記単一方向バスまたは前記双方向バスとして動作させるためのバッファ回路を有するメモリシステム。

【請求項 2】 データを保持するメモリ領域及びデータを送受信するためのバッファ部を備えた複数のメモリモジュールを有し、該バッファ部を直列に接続することでバスが形成されるメモリシステムであって、

前記メモリモジュールに格納されたデータがコピーされるハードディスク装置と、

任意のメモリモジュールに格納されたデータが一時的にコピーされる記憶手段と、

任意のメモリモジュールを交換する際に、前記バスを、単一方向に信号の送受信が可能な単一方向バスから双方向に信号の送受信が可能な双方向バスに切り換えると共に、前記交換するメモリモジュールのアドレス空間を検出し、該検出したアドレス空間の対応するデータを前記ハードディスク装置から前記記憶手段に

コピーし、前記交換するメモリモジュールに対するアクセス要求時に、前記検出したアドレス空間に対応する前記記憶手段のメモリ領域にアクセスするための制御手段と、

を有し、

前記バッファ部は、

前記バスを、前記制御手段からの指示にしたがって前記単一方向バスまたは前記双方向バスとして動作させるためのバッファ回路を有するメモリシステム。

【請求項 3】 任意のメモリモジュールを交換する際に、該メモリモジュールを取り外すことで切断されるバス接続を復帰させるための短絡手段を有する請求項 1 または 2 記載のメモリシステム。

【請求項 4】 データを保持するメモリ領域及びデータを送受信するためのバッファ部を備えた複数のメモリモジュールを有し、該バッファ部を直列に接続することで単一方向に信号の送受信が可能な単一方向バスが形成されるメモリシステムであって、

前記メモリモジュールに格納されたデータがコピーされるハードディスク装置と、

任意のメモリモジュールに格納されたデータが一時的にコピーされる記憶手段と、

任意のメモリモジュールを交換する際に、該交換するメモリモジュールを取り外すことで切断されるバス接続を復帰させるための短絡手段と、

任意のメモリモジュールを交換する際に、該交換するメモリモジュールのアドレス空間を検出し、該検出したアドレス空間の対応するデータを前記ハードディスク装置から前記記憶手段にコピーし、前記交換するメモリモジュールに対するアクセス要求時に、前記検出したアドレス空間に対応する前記記憶手段のメモリ領域にアクセスするための制御手段と、

を有するメモリシステム。

【請求項 5】 前記短絡手段は、

前記交換するメモリモジュールに代わって挿入される、該メモリモジュールを取り外すことで切断されるバス接続を短絡するための短絡線路を備えたダミーモ

ジュールである請求項 3 または 4 記載のメモリシステム。

【請求項 6】 前記短絡手段は、

前記メモリモジュールに対応してそれぞれ設けられた、該メモリモジュールを取り外すことで切断されるバス接続を短絡または開放するための F E T スイッチであり、

前記制御手段は、

任意のメモリモジュールを交換する際に、該交換するメモリモジュールに対応して設けられた F E T スイッチを O N させ、他のメモリモジュールに対応して設けられた F E T スイッチを O F F させるための制御信号を生成する請求項 3 または 4 記載のメモリシステム。

【請求項 7】 前記短絡手段は、

前記メモリモジュールに対応してそれぞれ設けられた、該メモリモジュールを取り外すことで切断されるバス接続を、前記メモリモジュールの取り外し時に短絡し、前記メモリモジュールの挿入時に該短絡を解除するショートピンを備えたコネクタである請求項 3 または 4 記載のメモリシステム。

【請求項 8】 前記記憶手段は、

データを保持するメモリ領域及びデータを送受信するためのバッファ部を備えたミラー用メモリモジュールである請求項 2 乃至 7 のいずれか 1 項記載のメモリシステム。

【請求項 9】 前記記憶手段は、

グラフィック用メモリである請求項 2 乃至 7 のいずれか 1 項記載のメモリシステム。

【請求項 1 0】 前記記憶手段は、

前記交換するメモリモジュールを除く他のメモリモジュールの空きメモリ領域である請求項 2 乃至 7 のいずれか 1 項記載のメモリシステム。

【請求項 1 1】 データを保持するメモリ領域及びデータを送受信するためのバッファ部を備えた複数のメモリモジュールを有し、該バッファ部を直列に接続することでバスが形成されるメモリシステムの制御方法であって、

前記メモリモジュールに格納されたデータを所定の周期毎にハードディスク装

置にコピーし、

任意のメモリモジュールを交換する際に、前記バスを、単一方向に信号の送受信が可能な単一方向バスから双方向に信号の送受信が可能な双方向バスに切り換え、

前記交換するメモリモジュールのアドレス空間を検出し、

前記交換するメモリモジュールに対するアクセス要求時に、前記検出したアドレス空間に対応する前記ハードディスク装置内のメモリ領域にアクセスするメモリシステムの制御方法。

【請求項 12】 データを保持するメモリ領域及びデータを送受信するためのバッファ部を備えた複数のメモリモジュールを有し、該バッファ部を直列に接続することでバスが形成されるメモリシステムの制御方法であって、

前記メモリモジュールに格納されたデータを所定の周期毎にハードディスク装置にコピーし、

任意のメモリモジュールを交換する際に、前記バスを、単一方向に信号の送受信が可能な単一方向バスから双方向に信号の送受信が可能な双方向バスに切り換え、

前記交換するメモリモジュールのアドレス空間を検出し、

該検出したアドレス空間に対応するデータを前記ハードディスク装置から記憶手段にコピーし、

前記交換するメモリモジュールに対するアクセス要求時に、前記検出したアドレス空間に対応する前記記憶手段のメモリ領域にアクセスするメモリシステムの制御方法。

【請求項 13】 データを保持するメモリ領域及びデータを送受信するためのバッファ部を備えた複数のメモリモジュールを有し、該バッファ部を直列に接続することで単一方向に信号の送受信が可能な単一方向バスが形成されるメモリシステムの制御方法であって、

前記メモリモジュールに格納されたデータを所定の周期毎にハードディスク装置にコピーし、

任意のメモリモジュールを交換する際に、該交換するメモリモジュールを取り

外すことで切断されたバスを短絡させ、

前記交換するメモリモジュールのアドレス空間を検出し、

該検出したアドレス空間に対応するデータを前記ハードディスク装置から記憶手段にコピーし、

前記交換するメモリモジュールに対するアクセス要求時に、前記検出したアドレス空間に対応する前記記憶手段のメモリ領域にアクセスするメモリシステムの制御方法。

【請求項 14】 任意のメモリモジュールを交換する際に、該メモリモジュールを取り外すことで切断されるバスを短絡するための短絡線路を備えたダミーモジュールを、前記交換するメモリモジュールに代わって挿入する請求項 11 乃至 13 のいずれか 1 項記載のメモリシステムの制御方法。

【請求項 15】 任意のメモリモジュールを交換する際に、該交換するメモリモジュールに対応して設けた、該メモリモジュールを取り外すことで切断されるバスを短絡または開放するための FET スイッチを ON させ、他のメモリモジュールに対応して設けた前記 FET スイッチを OFF させる請求項 11 乃至 13 のいずれか 1 項記載のメモリシステムの制御方法。

【請求項 16】 任意のメモリモジュールを交換する際に、該交換するメモリモジュールの対応するコネクタに設けた、前記交換するメモリモジュールを取り外すことで切断されるバスを短絡または開放するためのショートピンを短絡させ、他のメモリモジュールに対応して設けた前記ショートピンの短絡を解除させる請求項 11 乃至 13 のいずれか 1 項記載のメモリシステムの制御方法。

【請求項 17】 前記記憶手段は、

データを保持するメモリ領域及びデータを送受信するためのバッファ部を備えたミラー用メモリモジュールである請求項 12 乃至 16 のいずれか 1 項記載のメモリシステムの制御方法。

【請求項 18】 前記記憶手段は、

グラフィック用メモリである請求項 12 乃至 16 のいずれか 1 項記載のメモリシステムの制御方法。

【請求項 19】 前記記憶手段は、

前記交換するメモリモジュールを除く他のメモリモジュールの空きメモリ領域である請求項 12 乃至 16 のいずれか 1 項記載のメモリシステムの制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、情報処理装置で用いるメモリシステムに関し、特に複数のメモリモジュールを一筆書き状に直列に接続することでバスが構成されたメモリシステムに関する。

【0002】

【従来の技術】

近年のパーソナルコンピュータやサーバコンピュータ等の情報処理装置では、CPU による処理の高速化やプログラムの大規模化に伴ってメモリシステムに対するアクセスの高速化や記憶容量の増大要求が益々高まっている。

【0003】

記憶容量が大きいメモリシステムとしては、例えば RAM や ROM 等の複数の半導体メモリを搭載したメモリモジュールを複数個備えた図 20 に示すような構成が一般に知られている（例えば、特許文献 1 参照）。

【0004】

図 20 に示したメモリシステムは、複数の（図では 4 つ）メモリモジュール 102（102₁～102₄）と、それらに対する CPU 101 からのアクセス動作を制御するメモリコントローラ 103 とを有し、各メモリモジュール 102 とメモリコントローラ 103 とがバスでそれぞれ接続された構成である。バスは、メモリコントローラとメモリモジュール間でデータやアドレス信号を双方向に伝送するために共通に使用される線路であり、メモリモジュール 102 は、コネクタ等のスタブ（分岐手段）を介してそれぞれバスに並列に接続される。したがって、例えば図 20 に示すように故障したメモリモジュール（図 20 ではメモリモジュール 102₂）を取り外しても、それ以外のメモリモジュール 102₁、102₃、102₄ とメモリコントローラ 103 との接続は維持される。

【0005】

ところで、近年の情報処理装置では、上述したようにCPUによる処理の高速化が進んだ結果、バスを利用して伝送されるデータやアドレス信号の伝送速度もより高速化されつつある。高速な信号をバスを利用して伝送すると、スタブやバス端で反射等が発生し、各メモリモジュールで受信する信号波形が歪むために正しい情報を受信できなくなる。

【0006】

このような問題を解決するため、複数のメモリモジュールを、それぞれが有するバッファ部を介してリング状に直列接続した、図21に示すようなメモリシステムの構成が提案されている（例えば、非特許文献1参照）。

【0007】

図21は、RAMLINKメモリシステムと呼ばれる構成であり、メモリコントローラ113と複数の（図では4つ）メモリモジュール112（112₁～112₄）とを一筆書き状に接続することで、スタブやバス端を無くして反射等の発生を抑制し、高速伝送を実現している。通常、RAMLINKメモリシステムではバスの利用効率を上げるために信号の伝送方向を一方向のみに固定した単一方向バスが採用される。したがって、メモリコントローラ113とメモリモジュール112間で双方向に信号を送受信する場合は、伝送方向が逆の2つの単一方向バスを設ければよい。なお、図21ではメモリモジュール112₂を取り外した様子を示しているが、実際のメモリシステムでは故障が発生しない限り取り外されることはない。

【0008】

【特許文献1】

特開平2-278353号公報

【0009】

【非特許文献1】

Ivan Tving, "Multiprocessor interconnection using SCI", DTH ID-E 579
., pp93-94, 28 August, 1994. インターネット
<URL: HYPERLINK "http://www.SCIzzL.com/HowToGetSCIdox.html" http://www.
SCIzzL.com/HowToGetSCIdox.html>

【0010】

【発明が解決しようとする課題】

例えば、インターネット等のネットワークに接続されるサーバコンピュータでは、装置電源をOFFすることが短時間であっても容認されないため、装置電源をONにしたままモジュール交換を可能にするホットスワップ（またはホットプラグ）機能が要求される。

【0011】

上述したRAMLINKメモリシステムでは、複数のメモリモジュールを一筆書き状に接続することでバス構成が維持されるため、図21に示したようにメモリモジュールを一つでも取り外すとバスが切断されてしまう。すなわち、あるメモリモジュールで故障等が発生した場合、装置電源をOFFにして該メモリモジュールを交換しなければならないため、ホットスワップ機能が実現できない問題がある。

【0012】

そのような問題に対処するために、例えば、図22に示すように、図21に示したRAMLINKメモリシステムを2系統備え、一方を通常使用するメイン系とし、他方をメイン系のデータがコピーされた予備のミラー系とする構成が考えられる。このような構成にすれば、メイン系で故障が発生しても、ミラー系へメモリコントローラによるアクセス動作を切り換えることで、故障が発生したメモリモジュールのホットスワップが可能となる。

【0013】

しかしながら、図22に示した構成では、ミラー系にメイン系と同じ記憶容量が必要となるため、メモリモジュール数が増えて装置が高額となり、実装面積が増えることで装置が大型化してしまう。

【0014】

本発明は上記したような従来の技術が有する問題点を解決するためになされたものであり、実装面積や価格上昇を抑制しつつホットスワップ機能を実現するメモリシステム、及びその制御方法を提供することを目的とする。

【0015】

【課題を解決するための手段】

上記目的を達成するため本発明のメモリシステムは、データを保持するメモリ領域及びデータを送受信するためのバッファ部を備えた複数のメモリモジュールを有し、該バッファ部を直列に接続することでバスが形成されるメモリシステムであって、

前記メモリモジュールに格納されたデータがコピーされるハードディスク装置と、

任意のメモリモジュールを交換する際に、前記バスを、単一方向に信号の送受信が可能な単一方向バスから双方向に信号の送受信が可能な双方向バスに切り換えると共に、前記交換するメモリモジュールのアドレス空間を検出し、前記交換するメモリモジュールに対するアクセス要求時に、該検出したアドレス空間に対応する前記ハードディスク装置内のメモリ領域にアクセスするための制御手段と、
を有し、

前記バッファ部は、

前記バスを、前記制御手段からの指示にしたがって前記単一方向バスまたは前記双方向バスとして動作させるためのバッファ回路を有する構成である。

【0 0 1 6】

または、データを保持するメモリ領域及びデータを送受信するためのバッファ部を備えた複数のメモリモジュールを有し、該バッファ部を直列に接続することでバスが形成されるメモリシステムであって、

前記メモリモジュールに格納されたデータがコピーされるハードディスク装置と、

任意のメモリモジュールに格納されたデータが一時的にコピーされる記憶手段と、

任意のメモリモジュールを交換する際に、前記バスを、単一方向に信号の送受信が可能な単一方向バスから双方向に信号の送受信が可能な双方向バスに切り換えると共に、前記交換するメモリモジュールのアドレス空間を検出し、該検出したアドレス空間の対応するデータを前記ハードディスク装置から前記記憶手段に

コピーし、前記交換するメモリモジュールに対するアクセス要求時に、前記検出したアドレス空間に対応する前記記憶手段のメモリ領域にアクセスするための制御手段と、

を有し、

前記バッファ部は、

前記バスを、前記制御手段からの指示にしたがって前記単一方向バスまたは前記双方向バスとして動作させるためのバッファ回路を有する構成である。

【0017】

上記メモリシステムは、任意のメモリモジュールを交換する際に、該メモリモジュールを取り外すことで切断されるバス接続を復帰させるための短絡手段を有していてもよい。

【0018】

また、本発明のメモリシステムの他の構成は、データを保持するメモリ領域及びデータを送受信するためのバッファ部を備えた複数のメモリモジュールを有し、該バッファ部を直列に接続することで単一方向に信号の送受信が可能な単一方向バスが形成されるメモリシステムであって、

前記メモリモジュールに格納されたデータがコピーされるハードディスク装置と、

任意のメモリモジュールに格納されたデータが一時的にコピーされる記憶手段と、

任意のメモリモジュールを交換する際に、該交換するメモリモジュールを取り外すことで切断されるバス接続を復帰させるための短絡手段と、

任意のメモリモジュールを交換する際に、該交換するメモリモジュールのアドレス空間を検出し、該検出したアドレス空間の対応するデータを前記ハードディスク装置から前記記憶手段にコピーし、前記交換するメモリモジュールに対するアクセス要求時に、前記検出したアドレス空間に対応する前記記憶手段のメモリ領域にアクセスするための制御手段と、

を有する構成である。

【0019】

ここで、前記短絡手段は、

前記交換するメモリモジュールに代わって挿入される、該メモリモジュールを取り外すことで切断されるバス接続を短絡するための短絡線路を備えたダミーモジュールであってもよく、

前記短絡手段として、メモリモジュールを取り外すことで切断されるバス接続を短絡または開放するための F E T スイッチを前記メモリモジュールに対応してそれぞれ設け、

前記制御手段は、

任意のメモリモジュールを交換する際に、該交換するメモリモジュールに対応して設けられた F E T スイッチを O N させ、他のメモリモジュールに対応して設けられた F E T スイッチを O F F させるための制御信号を生成してもよく、

前記短絡手段として、メモリモジュールを取り外すことで切断されるバス接続を、前記メモリモジュールの取り外し時に短絡し、前記メモリモジュールの挿入時に該短絡を解除するショートピンを備えたコネクタを前記メモリモジュールに対応してそれぞれ設けてもよい。

【0020】

また、前記記憶手段は、

データを保持するメモリ領域及びデータを送受信するためのバッファ部を備えたミラー用メモリモジュールであってもよく、

グラフィック用メモリであってもよく、

前記交換するメモリモジュールを除く他のメモリモジュールの空きメモリ領域であってもよい。

【0021】

一方、本発明のメモリシステムの制御方法は、データを保持するメモリ領域及びデータを送受信するためのバッファ部を備えた複数のメモリモジュールを有し、該バッファ部を直列に接続することでバスが形成されるメモリシステムの制御方法であって、

前記メモリモジュールに格納されたデータを所定の周期毎にハードディスク装置にコピーし、

任意のメモリモジュールを交換する際に、前記バスを、単一方向に信号の送受信が可能な単一方向バスから双方向に信号の送受信が可能な双方向バスに切り換え、

前記交換するメモリモジュールのアドレス空間を検出し、

前記交換するメモリモジュールに対するアクセス要求時に、前記検出したアドレス空間に対応する前記ハードディスク装置内のメモリ領域にアクセスする方法である。

【 0 0 2 2 】

または、データを保持するメモリ領域及びデータを送受信するためのバッファ部を備えた複数のメモリモジュールを有し、該バッファ部を直列に接続することでバスが形成されるメモリシステムの制御方法であって、

前記メモリモジュールに格納されたデータを所定の周期毎にハードディスク装置にコピーし、

任意のメモリモジュールを交換する際に、前記バスを、単一方向に信号の送受信が可能な単一方向バスから双方向に信号の送受信が可能な双方向バスに切り換え、

前記交換するメモリモジュールのアドレス空間を検出し、

該検出したアドレス空間に対応するデータを前記ハードディスク装置から記憶手段にコピーし、

前記交換するメモリモジュールに対するアクセス要求時に、前記検出したアドレス空間に対応する前記記憶手段のメモリ領域にアクセスする方法である。

【 0 0 2 3 】

または、データを保持するメモリ領域及びデータを送受信するためのバッファ部を備えた複数のメモリモジュールを有し、該バッファ部を直列に接続することで単一方向に信号の送受信が可能な単一方向バスが形成されるメモリシステムの制御方法であって、

前記メモリモジュールに格納されたデータを所定の周期毎にハードディスク装置にコピーし、

任意のメモリモジュールを交換する際に、該交換するメモリモジュールを取り

外すことで切断されたバスを短絡させ、

前記交換するメモリモジュールのアドレス空間を検出し、

該検出したアドレス空間に対応するデータを前記ハードディスク装置から記憶手段にコピーし、

前記交換するメモリモジュールに対するアクセス要求時に、前記検出したアドレス空間に対応する前記記憶手段のメモリ領域にアクセスする方法である。

【 0 0 2 4 】

ここで、任意のメモリモジュールを交換する際に、該交換するメモリモジュールを取り外すことで切断されるバスを短絡するための短絡線路を備えたダミーモジュールを、前記交換するメモリモジュールに代わって挿入してもよく、

交換するメモリモジュールに対応して設けた、該メモリモジュールを取り外すことで切断されるバスを短絡または開放するための F E T スイッチを O N させ、他のメモリモジュールに対応して設けた前記 F E T スイッチを O F F させてもよく、

交換するメモリモジュールの対応するコネクタに設けた、前記交換するメモリモジュールを取り外すことで切断されるバスを短絡または開放するためのショートピンを短絡させ、他のメモリモジュールに対応して設けた前記ショートピンの短絡を解除させてもよい。

【 0 0 2 5 】

また、前記記憶手段は、

データを保持するメモリ領域及びデータを送受信するためのバッファ部を備えたミラー用メモリモジュールであってもよく、

グラフィック用メモリであってもよく、

前記交換するメモリモジュールを除く他のメモリモジュールの空きメモリ領域であってもよい。

【 0 0 2 6 】

上記のようなメモリシステム及びその制御方法では、メモリモジュールに格納されたデータを所定の周期毎にハードディスク装置にコピーし、任意のメモリモジュールを交換する際に、バスを単一方向バスから双方向バスに切り換え、交換

するメモリモジュールのアドレス空間を検出し、該メモリモジュールに対するアクセス要求時に、検出したアドレス空間に対応するハードディスク装置内のメモリ領域にアクセスすることで、メモリモジュールの数を増やすことなくホットスワップ機能を実現できる。

【0027】

また、任意のメモリモジュールを交換する際に、該メモリモジュールのアドレス空間を検出し、該アドレス空間に対応するデータをハードディスク装置から記憶手段にコピーし、交換するメモリモジュールに対するアクセス要求時に、検出したアドレス空間に対応する記憶手段のメモリ領域にアクセスすることで、ハードディスク装置に比べて高速にアクセス可能な記憶手段にアクセスするため、交換するメモリモジュールに対応するメモリ領域に対するアクセス時間を短縮できる。

【0028】

さらに、任意のメモリモジュールを交換する際に、該メモリモジュールを取り外すことで切断されるバスを短絡させ、交換するメモリモジュールのアドレス空間を検出し、検出したアドレス空間に対応するデータをハードディスク装置から記憶手段にコピーし、交換するメモリモジュールに対するアクセス要求時に、該アドレス空間に対応する記憶手段のメモリ領域にアクセスすることで、メモリモジュールの交換時もメモリシステムを単一方向バスで動作させることができるため、バスの利用効率の低下が防止される。

【0029】

【発明の実施の形態】

次に本発明について図面を参照して説明する。

【0030】

(第1の実施の形態)

図1は本発明のメモリシステムの第1の実施の形態の構成を示すブロック図である。

【0031】

図1に示すように、第1の実施の形態のメモリシステムは、複数の(図では4

つ) メモリモジュール 2 (2₁~2₄) と、メモリモジュール 2 に対する CPU 1 からのアクセス動作を制御する第 1 のメモリコントローラ 3 と、全てのメモリモジュール 2 のデータがコピーされる (ミラーリングされる) ハードディスク装置 4 と、ハードディスク装置 4 に対する CPU 1 からのアクセス動作を制御する第 2 のメモリコントローラ 5 とを有し、複数のメモリモジュール 2 と第 1 のメモリコントローラ 3 とがリング状に直列接続された構成である。メモリモジュール 2 は、データが格納される複数の半導体メモリ 200 と、バスと半導体メモリ間で信号を送受信するためのバッファ部 300 とを有する構成である。図 1 ではメモリシステムが 4 つのメモリモジュール 2₁~2₄ を有する構成を示しているが、メモリモジュールの数は 4 つに限定されるものではなく、いくつであってもよい。また、バッファ部 300 は独立して設ける必要はなく、半導体メモリ 200 内に備えていてもよい。

【0032】

図 2 に示すように、バッファ部 300 は、入力端と出力端とが互いに接続された 2 つのバッファ回路を 3 組備え、自モジュール内の半導体メモリ 200、及び隣接するメモリモジュール 2 または第 1 のメモリコントローラ 3 とそれぞれ双方向に信号の送受信が可能な構成である。

【0033】

図 3 (a) に示すように、第 1 のメモリコントローラ 3 は、入力端と出力端とが互いに接続されたバッファ回路 31、32 を 2 組備え、隣接するメモリモジュール 2 と双方向に信号の送受信が可能な構成である。また、図 3 (b) に示すように、第 2 のメモリコントローラ 5 は、ドライバ回路 51 とレシーバ回路 52 とを備え、ハードディスク装置 4 と双方向に信号の送受信が可能な構成である。

【0034】

本実施形態では、複数のメモリモジュール 2 と第 1 のメモリコントローラ 3 間を接続するバスが、図 1 に示したように通常動作時は単一方向バスとして使用され、図 4 に示すように任意のメモリモジュール (図 4 ではメモリモジュール 2₂) のホットスワップ時は双方向バスとして使用される。これらのバス方式の切り換えは、CPU 1 から第 1 のメモリコントローラ 3 を介して各メモリモジュール

2 のバッファ部 3 0 0 へ送信される制御信号にしたがって各バッファ部 3 0 0 のバッファ回路 3 1、3 2 の動作を切り換えることで実現する。

【0 0 3 5】

また、故障により交換するメモリモジュール（以下、故障メモリモジュールと称す）2 に対する CPU 1 からのアクセス要求がある場合は、該メモリモジュール 2 に代わって第 2 のメモリコントローラ 5 を介してハードディスク装置 4 へアクセスする。ハードディスク装置 4 には、上述したように全てのメモリモジュール 2 のデータがミラーリングされているため、故障メモリモジュール 2 のホットスワップが可能になる。

【0 0 3 6】

次に、本実施形態のメモリシステムの動作について図面を用いて説明する。

【0 0 3 7】

図 5 は本発明のメモリシステムの第 1 の実施の形態の動作を示すフローチャートである。以下に記載するメモリシステムの動作では、情報処理装置が有する CPU 1 によってメモリモジュール 2、第 1 のメモリコントローラ 3、及び第 2 のメモリコントローラ 5 が制御される例を説明するが、メモリシステムの動作は第 1 のメモリコントローラ 3 及び第 2 のメモリコントローラ 5 で制御することも可能である。その場合、第 1 のメモリコントローラ 3 及び第 2 のメモリコントローラ 5 は、CPU 1 からのコマンドにしたがって以下に記載する処理を実行する、例えば DSP 等で構成される。

【0 0 3 8】

図 5 に示すように、通常動作時、CPU 1 は所定の周期毎にメモリシステムの各メモリモジュール 2 に格納されたデータをハードディスク装置 4 にコピー（ミラーリング）する（ステップ A 1）。続いて、メモリモジュール 2 で故障が発生していないか否かを監視し（ステップ A 2）、故障が発生していない場合はステップ A 1 の処理に戻ってハードディスク装置 4 に対するミラーリング処理を続行する。

【0 0 3 9】

任意のメモリモジュール 2 で故障が発生した場合、CPU 1 は故障メモリモジ

ュールの取り外しを可能にするためのホットスワップ実行処理を開始する（ステップA3）。ホットスワップ実行処理は、情報処理装置が有する入力装置（キーボードやマウス等）を介して所定のコマンドが入力された場合やネットワーク等を介して所定のコマンドが送信された場合等に開始してもよい。

【0040】

ホットスワップ実行処理では、まず故障メモリモジュールのアドレス空間（メモリ領域）を検出し（ステップA4）、故障メモリモジュールに対するアクセス要求がある場合にハードディスク装置4内のミラーリングされたデータにアクセスするよう第2のメモリコントローラ5を介したメモリ制御に切り換える（ステップA5）。また、各メモリモジュール2に第1のメモリコントローラ3に介してバス動作を単方向バスから双方向バスへ切り換えるための制御信号を送信する（ステップA6）。以降、図4に示すように第1のメモリコントローラ3と各メモリモジュール2とは故障メモリモジュールを迂回するバス経路を使用してデータの送受信を行う。

【0041】

故障メモリモジュールが取り外されると、該メモリモジュールへのアクセス要求に対して、代わりに第2のメモリコントローラ5を介してハードディスク装置4へアクセスされる。また、その他のメモリモジュールに対するアクセス要求があった場合は該メモリモジュールに対してアクセス可能なバス経路を利用して通常通りデータの送受信を行う（ステップA7）。

【0042】

次に、CPU1は、故障が回復したメモリモジュール（または新しいメモリモジュール）2を挿入するために、メモリモジュールの挿入を可能にするためのホットスワップ挿入処理の開始が要求されたか否かを確認する（ステップA8）。ホットスワップ挿入処理は、例えば情報処理装置が有する入力装置を介して所定のコマンドが入力された場合、あるいはネットワーク等を介して所定のコマンドが送信された場合等に開始される。ホットスワップ挿入処理が要求されていない場合はステップA7の処理に戻って上述したホットスワップ時の処理を続行する。

【0043】

ホットスワップ挿入処理の開始が要求された場合、CPU1は、まずハードディスク装置4へアクセスするように切り換えられた制御を、元のメモリモジュール2へアクセスするための制御に切り換える（ステップA9）。また、第1のメモリコントローラ3に対してバス動作を双方向バスから単一方向バスへ切り換えるための制御信号を送信する（ステップA10）。そして、故障が回復したメモリモジュール（または新しいメモリモジュール）が挿入されると、故障メモリモジュールに対応するハードディスク装置4内のデータを、挿入されたメモリモジュール2にコピーし（ステップA11）、通常動作に移行する。

【0044】

本実施形態の構成によれば、メモリコントローラと複数のメモリモジュールとがリング状に直列接続されたメモリシステムであってもメモリモジュールの数を増やすことなくホットスワップ機能を実現できる。

【0045】

（第2の実施の形態）

図6は本発明のメモリシステムの第2の実施の形態の構成を示すブロック図である。

【0046】

図6に示すように、第2の実施の形態のメモリシステムは、図1に示した第1の実施の形態のメモリシステムに加えて、故障メモリモジュールのデータをコピーするためのミラー用メモリモジュール6を有する構成である。

【0047】

本実施形態のメモリシステムでは、故障メモリモジュールのアドレス空間が検出されると、該検出されたアドレス空間に対応するハードディスク装置内のミラーリングされたデータがミラー用メモリモジュール6にコピーされる。そして、故障メモリモジュールへのアクセス要求があった場合は、第1のメモリコントローラを介してミラー用メモリモジュール6にアクセスされる。さらに、新しいメモリモジュールの挿入時は、ミラー用メモリモジュール6のデータがハードディスク装置及び挿入されたメモリモジュールにそれぞれコピーされる。その他の構

成及び動作は第1の実施の形態のメモリシステムと同様であるため、その説明は省略する。

【0048】

本実施形態のメモリシステムによれば、ホットスワップ機能を実現できると共に、故障メモリモジュールに対するアクセス要求時に、ハードディスク装置に比べて高速にアクセス可能なミラー用メモリモジュールへアクセスするため、故障メモリモジュールに対応するメモリ領域へのアクセス時間を第1の実施の形態よりも短縮できる。

【0049】

(第3の実施の形態)

図7は本発明のメモリシステムの第3の実施の形態の構成を示すブロック図である。

【0050】

図7に示すように、第3の実施の形態のメモリシステムは、図1に示した第1の実施の形態のメモリシステムに加えて、故障メモリモジュールのデータをコピーするためのグラフィック用メモリ7を有する構成である。グラフィック用メモリ7は、情報処理装置が予め備えているものを用いればよく、故障メモリモジュールのデータはグラフィック用メモリ7の空きメモリ領域にコピーされる。

【0051】

本実施形態のメモリシステムでは、故障メモリモジュールのアドレス空間が検出されると、該検出されたアドレス空間に対応するハードディスク装置内のミラーリングされたデータがグラフィック用メモリ7にコピーされる。そして、故障メモリモジュールに対するアクセス要求があった場合は、第1のメモリコントローラを介してグラフィック用メモリ7にアクセスされる。さらに、新しいメモリモジュールの挿入時は、グラフィック用メモリ7内の故障メモリモジュールに対応するデータがハードディスク装置及び挿入されたメモリモジュールにそれぞれコピーされる。その他の構成及び動作は第1の実施の形態のメモリシステムと同様であるため、その説明は省略する。

【0052】

本実施形態においても、第2の実施の形態と同様に、ホットスワップ機能を実現できると共に、故障メモリモジュールに対するアクセス要求時に、ハードディスク装置に比べて高速にアクセス可能なグラフィック用メモリへアクセスするため、故障メモリモジュールに対応するメモリ領域へのアクセス時間を第1の実施の形態よりも短縮できる。

【0053】

(第4の実施の形態)

図8は本発明のメモリシステムの第4の実施の形態の構成を示すブロック図である。

【0054】

図8に示すように、第4の実施の形態のメモリシステムでは、故障メモリモジュールのデータが、故障が発生していない他のメモリモジュールが備える半導体メモリの空きメモリ領域8にコピーされる。

【0055】

本実施形態のメモリシステムでは、故障メモリモジュールのアドレス空間が検出されると、該検出されたアドレス空間に対応するハードディスク装置内のミラーリングされたデータが故障が発生していないメモリモジュールの空きメモリ領域8に分散してコピーされる。そして、故障メモリモジュールに対するアクセス要求があった場合は、第1のメモリコントローラを介して故障が発生していないメモリモジュールの空きメモリ領域8にアクセスされる。さらに、新しいメモリモジュールの挿入時は、故障が発生していないメモリモジュール内の、故障メモリモジュールに対応するデータがハードディスク装置及び挿入されたメモリモジュールにそれぞれコピーされる。その他の構成及び動作は第1の実施の形態のメモリシステムと同様であるため、その説明は省略する。

【0056】

本実施形態においても、第2の実施の形態と同様に、ホットスワップ機能を実現できると共に、故障メモリモジュールに対するアクセス要求時に、ハードディスク装置に比べて高速にアクセス可能なメモリモジュールの空きメモリ領域へアクセスするため、故障メモリモジュールに対応するメモリ領域へのアクセス時間

を第1の実施の形態よりも短縮できる。

【0057】

(第5の実施の形態)

第1の実施の形態～第4の実施の形態では、ホットスワップ時にメモリシステムを双方向バスで動作させるため、バスの利用効率が低下する。また、メモリモジュールを取り外した部位がバス端となるため、ホットスワップ時に信号の伝送速度を低下させなければならない可能性がある。

【0058】

第5の実施の形態のメモリシステムは、ホットスワップ機能を実現すると共にホットスワップ時も単一方向バスで動作可能な構成である。

【0059】

図9は本発明のメモリシステムの第5の実施の形態の構成を示すブロック図である。

【0060】

図9に示すように、第5の実施の形態のメモリシステムは、複数の(図では3つ)メモリモジュール12(12₁, 12₃, 12₄)と、メモリモジュール12に対するCPU11からのアクセス動作を制御する第1のメモリコントローラ13と、全てのメモリモジュール12のデータがコピーされる(ミラーリングされる)ハードディスク装置14と、ハードディスク装置14に対するCPU11からのアクセス動作を制御する第2のメモリコントローラ15とを有し、メモリモジュール12と第1のメモリコントローラ13とがリング状に直列接続された構成である。

【0061】

メモリモジュール12は、データが格納される複数の半導体メモリ210と、バスと半導体メモリ間で信号を送受信するためのバッファ部310とを有する構成である。また、本実施形態のメモリシステムでは、故障メモリモジュール(不図示のメモリモジュール12₂)に代えてメモリシステム内に挿入するためのダミーモジュール16を備えている。図9ではメモリシステムが4つのメモリモジュール12を有し、メモリモジュール12₂に代えてダミーモジュール16が挿

入された構成を示しているが、メモリモジュール 12 の数は 4 つに限定されるものではなく、いくつであってもよい。また、バッファ部 310 は独立して設ける必要はなく、半導体メモリ 210 内に備えていてもよい。

【0062】

図 9 に示すように、ダミーモジュール 16 は、隣接する 2 つのメモリモジュール 12 どうし（またはメモリモジュール 12 と第 1 のメモリコントローラ 13）を接続するための短絡線路を備えた構成であり、故障メモリモジュール 12₂ のデータは、例えばミラーリングされたハードディスク装置 14 から故障が発生していない他のメモリモジュール 12₁, 12₃, 12₄ の空きメモリ領域 18 に分割してコピーされる。なお、故障メモリモジュールのデータは、第 2 の実施の形態または第 3 の実施の形態と同様にハードディスク装置からミラー用メモリモジュールあるいはグラフィック用メモリにコピーされてもよい。

【0063】

図 10 (a), (b) に示すように、本実施形態のバッファ部 310 は、3 つのバッファ回路を備え、自モジュール内の半導体メモリ 210、及び隣接するメモリモジュール 12 または第 1 のメモリコントローラ 13 とそれぞれ単一方向に信号を送受信する構成である。図 10 (a) は第 1 のメモリコントローラ 13 からメモリモジュール 12₁, 12₃, 12₄ の方向に信号を伝送する場合の各バッファ部 310 の構成を示し、図 10 (b) はメモリモジュール 12₄, 12₃, 12₁ から第 1 のメモリコントローラ 13 の方向に信号を伝送する場合の各バッファ部 310 の構成を示している。

【0064】

メモリシステムは、図 10 (a) に示したバッファ部 310 で接続される単一方向バス、または図 10 (b) に示したバッファ部 310 で接続される単一方向バスのいずれか一方のみを有していてもよく、両方の単一方向バスを有する構成であってもよい。本実施形態のダミーモジュール 16 を有する構成は、バスの利用効率が低下するが、第 1 の実施の形態～第 4 の実施の形態と同様にメモリシステムが双方向バスで動作する場合にも適用できる。そのような構成でもホットスワップ機能を実現できる。

【0065】

図11に示すように、本実施形態の第1のメモリコントローラ13は、隣接するメモリモジュール12に対してデータを送信するためのドライバ回路131と、隣接するメモリモジュール12からデータを受信するためのレシーバ回路132とを有する構成である。第2のメモリコントローラ15は、第1の実施の形態と同様に入力端と出力端とが互いに接続されたドライバ回路とレシーバ回路を備え、ハードディスク装置14と双方向に信号を送受信する構成である（図3参照）。

【0066】

次に、本実施形態のメモリシステムの動作について図面を用いて説明する。

【0067】

図12は本発明のメモリシステムの第5の実施の形態の動作を示すフローチャートである。以下に記載するメモリシステムの動作では、情報処理装置が有するCPU11によってメモリモジュール12、第1のメモリコントローラ13、及び第2のメモリコントローラ15が制御される例を説明するが、メモリシステムの動作は第1のメモリコントローラ13及び第2のメモリコントローラ15で制御することも可能である。その場合、第1のメモリコントローラ13及び第2のメモリコントローラ15は、CPU11からの所定のコマンドにしたがって以下に記載する処理を実行する、例えばDSP等で構成される。

【0068】

図12に示すように、通常動作時、CPU11は所定の周期毎にメモリシステムの各メモリモジュール12に格納されたデータをハードディスク装置14にコピー（ミラーリング）する（ステップB1）。続いて、メモリモジュール12で故障が発生していないか否かを監視し（ステップB2）、故障が発生していない場合はステップB1の処理に戻ってハードディスク装置14に対するミラーリング処理を続行する。

【0069】

任意のメモリモジュール12で故障が発生した場合、CPU11は故障メモリモジュール12の取り外しを可能にするためのホットスワップ実行処理を開始す

る（ステップB 3）。ホットスワップ実行処理は、情報処理装置が有する入力装置（キーボードやマウス等）を介して所定のコマンドが入力された場合やネットワーク等を介して所定のコマンドが送信された場合等に開始してもよい。

【0 0 7 0】

ホットスワップ実行処理では、まず故障メモリモジュール 1 2 のアドレス空間（メモリ領域）を検出し（ステップB 4）、該アドレス空間に対応するハードディスク装置 1 4 内のデータを、故障が発生していない各メモリモジュール 1 2 の空きメモリ領域 1 8 に分散してコピーする（ステップB 5）。

【0 0 7 1】

また、故障メモリモジュール 1 2 へのアクセス要求に対して他のメモリモジュール 1 2 内のミラーリングされたデータにアクセスするようメモリ制御を切り換える（ステップB 6）。

【0 0 7 2】

故障メモリモジュール 1 2 が取り外され、代わりにダミーモジュール 1 6 が挿入されると、以降、故障メモリモジュール 1 2 に対するアクセス要求があった場合は、対応する故障が発生していないメモリモジュールの空きメモリ領域 1 8 へ単一方向バスを利用してアクセスする。また、故障が発生していないメモリモジュールに対するアクセス要求があった場合は該メモリモジュールに対して単一方向バスを利用して通常通りデータの送受信を行う（ステップB 7）。

【0 0 7 3】

次に、CPU 1 1 は、故障が回復したメモリモジュール（または新しいメモリモジュール） 1 2 を挿入するために、メモリモジュールを挿入可能にするためのホットスワップ挿入処理の開始が要求されたか否かを確認する（ステップB 8）。ホットスワップ挿入処理は、例えば情報処理装置が有する入力装置を介して所定のコマンドが入力された場合、あるいはネットワーク等を介して所定のコマンドが送信された場合等に開始される。ホットスワップ挿入処理が要求されていない場合はステップB 7 の処理に戻って上述したホットスワップ時の処理を続行する。

【0 0 7 4】

ホットスワップ挿入処理の開始が要求された場合、CPU 11は、まずメモリモジュール 12の空きメモリ領域 18へアクセスするように切り換えられた制御を、元のメモリモジュール 12へアクセスするための制御に切り換える（ステップ B9）。そして、ダミーモジュール 16が取り外され、代わりに故障が回復したメモリモジュール（または新しいメモリモジュール）12が挿入されると、故障メモリモジュールのアドレス空間に対応する各メモリモジュール内のデータを、挿入されたメモリモジュール 12にコピーし（ステップ B10）、通常動作に移行する。

【0075】

本実施形態の構成によれば、ホットスワップ機能を実現できると共に、故障メモリモジュールに対するアクセス要求時に、ハードディスク装置に比べて高速にアクセス可能な故障が発生していないメモリモジュールの空きメモリ領域へアクセスするため、故障メモリモジュールに対応するメモリ領域へのアクセス時間を第1の実施の形態よりも短縮できる。さらに、ホットスワップ時もメモリシステムを単一方向バスで動作させることができるため、バスの利用効率の低下が防止される。

【0076】

（第6の実施の形態）

図13は本発明のメモリシステムの第6の実施の形態の構成を示すブロック図である。

【0077】

図13に示すように、第6の実施の形態のメモリシステムは、第5の実施の形態で示したダミーモジュールに代えて、各メモリモジュールとバスとの接続部位に、隣接する2つのメモリモジュール（またはメモリモジュールと第1のメモリコントローラ）のバスを接続または開放するためのFETスイッチ19をそれぞれ備えた構成である。

【0078】

故障メモリモジュールのデータは、第5の実施の形態と同様に、ハードディスク装置から、例えば故障が発生していない他のメモリモジュールの空きメモリ領

域にコピーされる。故障メモリモジュールのデータは、第2の実施の形態または第3の実施の形態と同様にハードディスク装置からミラー用メモリモジュールあるいはグラフィック用メモリにコピーされてもよい。

【0079】

また、第5の実施の形態と同様に、本実施形態のメモリシステムは、図10（a）に示したバッファ部310で接続される単一方向バス、または図10（b）に示したバッファ部310で接続される単一方向バスのいずれか一方のみを有していてもよく、両方の単一方向バスを有する構成であってもよい。本実施形態のFETスイッチ19を有する構成は、バスの利用効率が低下するが、第1の実施の形態～第4の実施の形態と同様にメモリシステムが双方向バスで動作する場合にも適用できる。そのような構成でもホットスワップ機能を実現できる。さらに、メモリモジュールが有するバッファ部は独立して設ける必要はなく、半導体メモリ内に備えていてもよい。

【0080】

図14に示すように、本実施形態の第1のメモリコントローラ23は、CPUから送信されるFET制御信号をデコードし、メモリモジュール毎に設けられたFETスイッチをそれぞれON/OFFさせるデコーダ24を有する構成である。デコーダ24は、FET制御信号にしたがって故障メモリモジュールに対応するFETスイッチ19をONさせ、故障が発生していないメモリモジュールに対応するFETスイッチ19をOFFさせる。図14では、メモリシステムが4つのメモリモジュールを備え、CPUから送信される3ビットのFET制御信号C[2:0]をデコードすることで4つのFETスイッチS0～S4のON/OFFを制御する例を示している。FET制御信号のビット数及びデコード数はメモリモジュール数に対応して適宜設定すればよい。

【0081】

次に、本実施形態のメモリシステムのホットスワップ時の動作について図面を用いて説明する。

【0082】

図15は本発明のメモリシステムの第6の実施の形態の動作を示すフローチャ

ートである。以下に記載するメモリシステムの動作は、情報処理装置が有するCPUによってメモリモジュール及び第1、第2のメモリコントローラが制御される場合を例にして説明するが、第1、第2のメモリコントローラによりメモリシステムの動作を制御する構成も可能である。その場合、第1、第2のメモリコントローラは、所定のコマンドにしたがって以下の処理を実行する、例えばDSP等で構成される。

【0083】

図15に示すように、通常動作時、CPUは所定の周期毎にメモリシステムの各メモリモジュールに格納されたデータをハードディスク装置にコピー（ミラーリング）する（ステップC1）。そして、各メモリモジュール内で故障が発生していないか否かを監視し（ステップC2）、故障が発生していない場合はステップC1の処理に戻って各メモリモジュールのデータのハードディスク装置に対するミラーリングを続行する。

【0084】

任意のメモリモジュールで故障が発生した場合、CPUは故障メモリモジュールの取り外しを可能にするためのホットスワップ実行処理を開始する（ステップC3）。ホットスワップ実行処理は、情報処理装置が有する入力装置（キーボードやマウス等）を介して所定のコマンドが入力された場合やネットワーク等を介して所定のコマンドが送信された場合等に開始してもよい。

【0085】

ホットスワップ実行処理では、まず故障メモリモジュールのアドレス空間（メモリ領域）を検出し（ステップC4）、該メモリ領域に対応するハードディスク装置内のデータを、故障が発生していない各メモリモジュールの空きメモリ領域に分散してコピーする（ステップC5）。また、故障メモリモジュールへのアクセス要求に対して他のメモリモジュール内のミラーリングされたデータにアクセスするようメモリ制御を切り換える（ステップC6）。

【0086】

さらに、故障メモリモジュールに対応するFETスイッチ19をONさせ、故障が発生していないメモリモジュールに対応するFETスイッチ19をOFFさ

せるための F E T 制御信号を第 1 のメモリコントローラ 23 に送信する（ステップ C 7）。

【0087】

故障メモリモジュールが取り外されると、以降、故障メモリモジュールに対するアクセス要求があった場合は、対応する故障が発生していないメモリモジュールの空きメモリ領域へ単一方向バスを利用してアクセスを行う。また、故障が発生していないメモリモジュールに対するアクセス要求があった場合は該メモリモジュールに対して単一方向バスを利用して通常通りデータの送受信を行う（ステップ C 8）。

【0088】

次に、C P U は、故障が回復したメモリモジュール（または新しいメモリモジュール）を挿入するために、メモリモジュールを挿入可能にするためのホットスワップ挿入処理の開始が要求されたか否かを確認する（ステップ C 9）。ホットスワップ挿入処理は、例えば情報処理装置が有する入力装置を介して所定のコマンドが入力された場合、あるいはネットワーク等を介して所定のコマンドが送信された場合等に開始される。ホットスワップ挿入処理が要求されていない場合はステップ C 8 の処理に戻って上述したホットスワップ時の処理を続行する。

【0089】

ホットスワップ挿入処理の開始が要求された場合、C P U は、まずメモリモジュールの空きメモリ領域へアクセスするように切り換えられた制御を、元のメモリモジュールへアクセスするための制御に切り換える（ステップ C 10）。また、全てのメモリモジュールに対応する F E T スイッチ 19 を O F F させるための F E T 制御信号を第 1 のメモリコントローラ 23 に送信する（ステップ C 11）。そして、故障が回復したメモリモジュール（または新しいメモリモジュール）が挿入されると、故障を検出していたアドレス空間に対応する各メモリモジュールの空きメモリ領域内のデータを、挿入されたメモリモジュールにコピーし（ステップ C 12）、通常動作に移行する。

【0090】

本実施形態の構成によれば、第 5 の実施の形態と同様に、ホットスワップ機能

を実現できると共に、故障メモリモジュールに対するアクセス要求時に、ハードディスク装置に比べて高速にアクセス可能な故障が発生していないメモリモジュールの空きメモリ領域へアクセスするため、故障メモリモジュールに対応するメモリ領域へのアクセス時間を第1の実施の形態よりも短縮できる。さらに、ホットスワップ時もメモリシステムを単一方向バスで動作させることができるため、バスの利用効率の低下が防止される。

【0091】

(第7の実施の形態)

図16は本発明のメモリシステムの第7の実施の形態の構成を示すブロック図である。

【0092】

図16に示すように、第7の実施の形態のメモリシステムは、第6の実施の形態で示した第1のメモリコントローラと複数のメモリモジュール間を接続するバスのリングが切断され、バス端が終端抵抗器60等で終端された構成である。図16では第1のメモリコントローラからメモリモジュールの方向にデータが伝送される単一方向バスを備えた構成を示しているが、メモリモジュールから第1のメモリコントローラの方向にデータが伝送される単一方向バスを備えていてもよく、それら2つの単一方向バスをそれぞれ備えた構成であってもよい。また、本実施形態のFETスイッチを有する構成は、バスの利用効率が低下するが、第1の実施の形態～第4の実施の形態と同様にメモリシステムが双方向バスで動作する場合にも適用できる。そのような構成でもホットスワップ機能を実現できる。その他の構成及びホットスワップ時の動作は第6の実施の形態のメモリシステムと同様であるため、その説明は省略する。

【0093】

本実施形態の構成によれば、図16に示すような、リング状に接続されず、かつメモリコントローラと複数のメモリモジュールとがバスで直列接続されたメモリシステムであっても、第5の実施の形態と同様に、ホットスワップ機能を実現できると共に、ホットスワップ時における故障メモリモジュールに対応するメモリ領域へのアクセス時間を短縮できる。さらに、ホットスワップ時もメモリシ

テムを単一方向バスで動作させるため、バスの利用効率の低下が防止される。

【0094】

(第8の実施の形態)

図17は本発明のメモリシステムの第8の実施の形態の構成を示すブロック図であり、図18は図17に示したコネクタの構成を示す要部拡大図である。

【0095】

図17に示すように、第8の実施の形態のメモリシステムは、第7の実施の形態及び第8の実施の形態で示したFETスイッチに代えて、隣接する2つのメモリモジュール（またはメモリモジュールと第1のメモリコントローラ）をメモリモジュールの取り外し時に短絡するためのショートピン71を備えたコネクタ70を有する構成である。

【0096】

ショートピン71は、図18(a)に示すようにメモリモジュールが無いときに互いに短絡するようコネクタ70上に対向して配置され、図18(b)に示すようにメモリモジュールの挿入時は該メモリモジュールにより短絡が解除される。

【0097】

故障メモリモジュールのデータは、ハードディスク装置から、例えば故障が発生していない他のメモリモジュールの空きメモリ領域にコピーされる。故障メモリモジュールのデータは、第2の実施の形態または第3の実施の形態と同様にハードディスク装置からミラー用メモリモジュールあるいはグラフィック用メモリにコピーされてもよい。

【0098】

また、第5の実施の形態と同様に、本実施形態のメモリシステムは、図10(a)に示したバッファ部310で接続される単一方向バス、または図10(b)に示したバッファ部310で接続される単一方向バスのいずれか一方のみを有していてもよく、両方の単一方向バスを有する構成であってもよい。また、本実施形態のショートピン71を有する構成は、バスの利用効率が低下するが、第1の実施の形態～第4の実施の形態と同様にメモリシステムが双方向バスで動作する

場合にも適用できる。そのような構成でもホットスワップ機能を実現できる。さらに、メモリモジュールが有するバッファ部は独立して設ける必要はなく、半導体メモリ内に備えていてもよい。

【0099】

次に、本実施形態のメモリシステムのホットスワップ時の動作について図面を用いて説明する。

【0100】

図19は本発明のメモリシステムの第8の実施の形態の動作を示すフローチャートである。以下に記載するメモリシステムの動作は、情報処理装置が有するCPUによってメモリモジュール及び第1、第2のメモリコントローラが制御される場合を例にして説明するが、第1、第2のメモリコントローラによりメモリシステムの動作を制御する構成も可能である。その場合、第1、第2のメモリコントローラは、所定のコマンドにしたがって以下の処理を実行する、例えばDSP等で構成される。

【0101】

図19に示すように、通常動作時、CPUは所定の周期毎にメモリシステムの各メモリモジュールに格納されたデータをハードディスク装置にコピー（ミラーリング）する（ステップD1）。続いて、各メモリモジュール内で故障が発生していないか否かを監視し（ステップD2）、故障が発生していない場合はステップD1の処理に戻って各メモリモジュールのデータのハードディスク装置に対するミラーリングを続行する。

【0102】

任意のメモリモジュールで故障が発生した場合、CPUは故障が発生したメモリモジュールの取り外しを可能にするためのホットスワップ実行処理を開始する（ステップD3）。ホットスワップ実行処理は、情報処理装置が有する入力装置（キーボードやマウス等）を介して所定のコマンドが入力された場合やネットワーク等を介して所定のコマンドが送信された場合等に開始してもよい。

【0103】

ホットスワップ実行処理では、まず故障メモリモジュールのアドレス空間（メ

メモリ領域)を検出し(ステップD4)、該メモリ領域に対応するハードディスク装置内のデータを、故障が発生していない各メモリモジュールの空きメモリ領域に分散してコピーする(ステップD5)。また、故障メモリモジュールへのアクセス要求に対して他のメモリモジュール内のミラーリングされたデータにアクセスするようメモリ制御を切り換える(ステップD6)。

【0104】

故障メモリモジュールを除去することでショートピン71が短絡すると、故障メモリモジュールに対するアクセス要求があった場合は、対応する故障が発生していないメモリモジュールの空きメモリ領域へ単一方向バスを利用してアクセスする。また、故障が発生していないメモリモジュールに対するアクセス要求があった場合は該メモリモジュールに対して単一方向バスを利用して通常通りデータの送受信を行う(ステップD7)。

【0105】

次に、CPUは、故障が回復したメモリモジュール(または新しいメモリモジュール)を挿入するために、メモリモジュールを挿入可能にするためのホットスワップ挿入処理の開始が要求されたか否かを確認する(ステップD8)。ホットスワップ挿入処理は、例えば情報処理装置が有する入力装置を介して所定のコマンドが入力された場合、あるいはネットワーク等を介して所定のコマンドが送信された場合等に開始される。ホットスワップ挿入処理が要求されていない場合はステップD7の処理に戻って上述したホットスワップ時の処理を続行する。

【0106】

ホットスワップ挿入処理の開始が要求された場合、CPUは、まずメモリモジュールの空きメモリ領域へアクセスするように切り換えられた制御を、元のメモリモジュールへアクセスするための制御に切り換える(ステップD9)。そして、故障が回復したメモリモジュール(または新しいメモリモジュール)が挿入されてショートピンの短絡が解除されると、故障を検出していたアドレス空間に対応する各メモリモジュールの空きメモリ領域内のデータを、挿入されたメモリモジュールにコピーし(ステップD10)、通常動作に移行する。

【0107】

本実施形態の構成によれば、第5の実施の形態と同様に、ホットスワップ機能を実現できると共に、故障メモリモジュールに対するアクセス要求時に、ハードディスク装置に比べて高速にアクセス可能な故障が発生していないメモリモジュールの空きメモリ領域へアクセスするため、故障メモリモジュールに対応するメモリ領域へのアクセス時間を第1の実施の形態よりも短縮できる。さらに、ホットスワップ時もメモリシステムを単一方向バスで動作させることができるため、バスの利用効率の低下が防止される。

【0108】

【発明の効果】

本発明は以上説明したように構成されているので、以下に記載する効果を奏する。

【0109】

メモリモジュールに格納されたデータを所定の周期毎にハードディスク装置にコピーし、任意のメモリモジュールを交換する際に、バスを単一方向バスから双方向バスに切り換え、交換するメモリモジュールのアドレス空間を検出し、該メモリモジュールに対するアクセス要求時に、検出したアドレス空間に対応するハードディスク装置内のメモリ領域にアクセスすることで、メモリモジュールの数を増やすことなくホットスワップ機能を実現できる。

【0110】

また、任意のメモリモジュールを交換する際に、該メモリモジュールのアドレス空間を検出し、該アドレス空間の対応するデータをハードディスク装置から記憶手段にコピーし、交換するメモリモジュールに対するアクセス要求時に、検出したアドレス空間に対応する記憶手段のメモリ領域にアクセスすることで、ハードディスク装置に比べて高速にアクセス可能な記憶手段にアクセスするため、交換するメモリモジュールに対応するメモリ領域に対するアクセス時間を短縮できる。

【0111】

さらに、任意のメモリモジュールを交換する際に、該メモリモジュールを取り外すことで切断されるバスを短絡させ、交換するメモリモジュールのアドレス空

間を検出し、検出したアドレス空間に対応するデータをハードディスク装置から記憶手段にコピーし、交換するメモリモジュールに対するアクセス要求時に、該アドレス空間に対応する記憶手段のメモリ領域にアクセスすることで、メモリモジュールの交換時もメモリシステムを単一方向バスで動作させることができるため、バスの利用効率の低下が防止される。

【0112】

したがって、実装面積や価格上昇を抑制しつつホットスワップ機能を実現したメモリシステム及びそれを搭載した情報処理装置が得られる。

【図面の簡単な説明】

【図1】

本発明のメモリシステムの第1の実施の形態の構成を示すブロック図である。

【図2】

図1に示したメモリモジュールが有するバッファ部の構成を示す回路図である。

。

【図3】

図1に示したメモリコントローラの構成を示す図であり、同図（a）は第1のメモリコントローラの構成を示す回路図、同図（b）は第2のメモリコントローラの構成を示す回路図である。

【図4】

図1に示したメモリシステムが有するメモリモジュールで故障が発生した場合のバス動作を示すブロック図である。

【図5】

本発明のメモリシステムの第1の実施の形態の動作を示すフローチャートである。

【図6】

本発明のメモリシステムの第2の実施の形態の構成を示すブロック図である。

【図7】

本発明のメモリシステムの第3の実施の形態の構成を示すブロック図である。

【図8】

本発明のメモリシステムの第4の実施の形態の構成を示すブロック図である。

【図9】

本発明のメモリシステムの第5の実施の形態の構成を示すブロック図である。

【図10】

図9に示したメモリモジュールが有するバッファ部の構成を示す回路図である。

【図11】

図9に示した第1のメモリコントローラの構成を示す回路図である。

【図12】

本発明のメモリシステムの第5の実施の形態の動作を示すフローチャートである。

【図13】

本発明のメモリシステムの第6の実施の形態の構成を示すブロック図である。

【図14】

図13に示した第1のメモリコントローラの構成を示すブロック図である。

【図15】

本発明のメモリシステムの第6の実施の形態の動作を示すフローチャートである。

【図16】

本発明のメモリシステムの第7の実施の形態の構成を示すブロック図である。

【図17】

本発明のメモリシステムの第8の実施の形態の構成を示すブロック図である。

【図18】

図17に示したコネクタの構成を示す要部拡大図である。

【図19】

本発明のメモリシステムの第8の実施の形態の動作を示すフローチャートである。

【図20】

第1従来例のメモリシステムの構成を示すブロック図である。

【図 2 1】

第 2 従来例のメモリシステムの構成を示すブロック図である。

【図 2 2】

第 3 従来例のメモリシステムの構成を示すブロック図である。

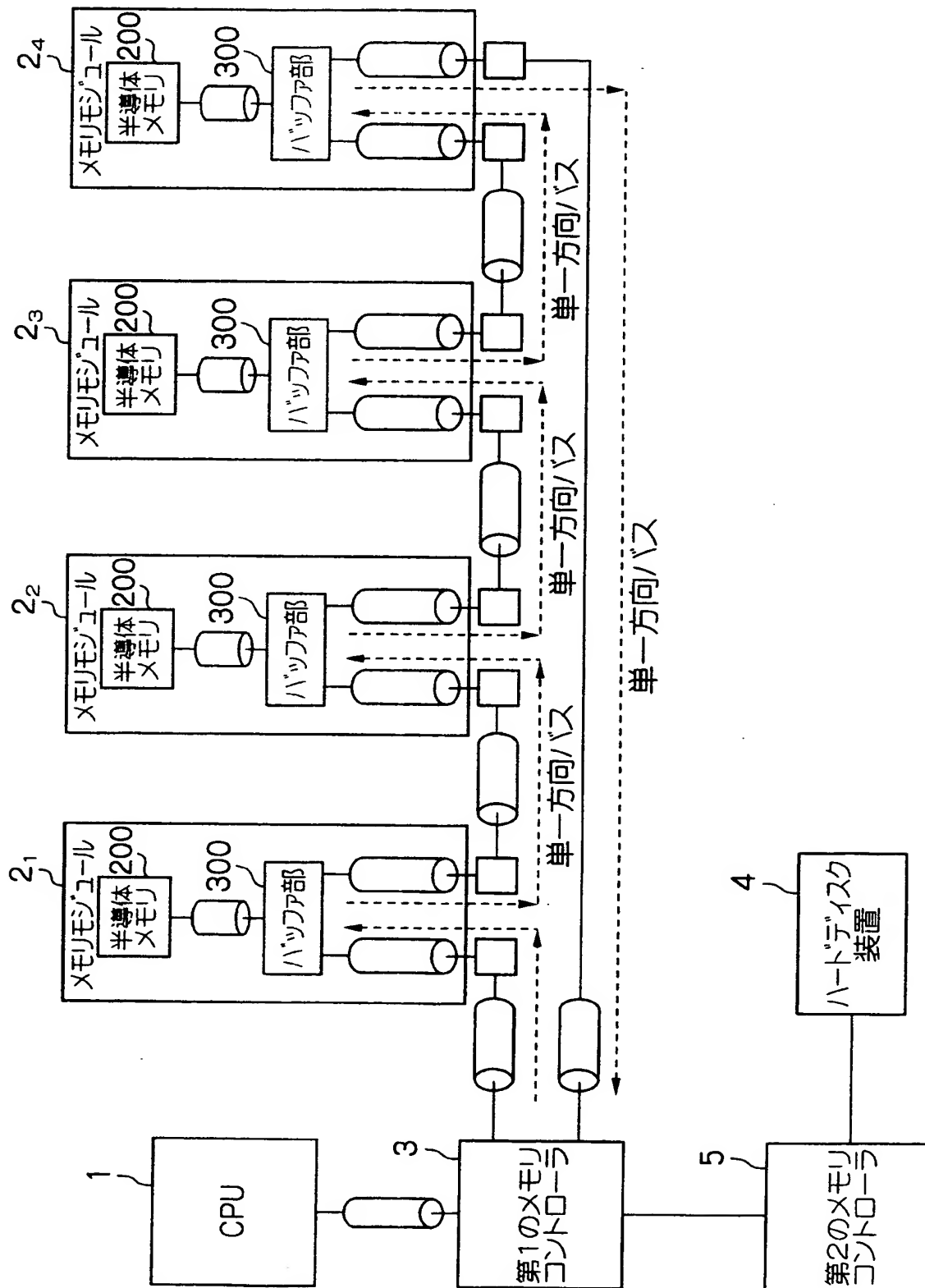
【符号の説明】

- 1、1 1 C P U
- 2、2₁～2₄、1 2、1 2₁～1 2₄ メモリモジュール
- 3、1 3、2 3 第 1 のメモリコントローラ
- 4、1 4 ハードディスク装置
- 5、1 5 第 2 のメモリコントローラ
- 6 ミラー用メモリモジュール
- 7 グラフィック用メモリ
- 8、1 8 空きメモリ領域
- 1 9 F E T スイッチ
- 1 6 ダミーモジュール
- 2 4 デコーダ
- 3 1、3 2 バッファ回路
- 5 1、1 3 1 ドライバ回路
- 5 2、1 3 2 レシーバ回路
- 6 0 終端抵抗器
- 7 0 コネクタ
- 7 1 ショートピン
- 2 0 0、2 1 0 半導体メモリ
- 3 0 0、3 1 0 バッファ部

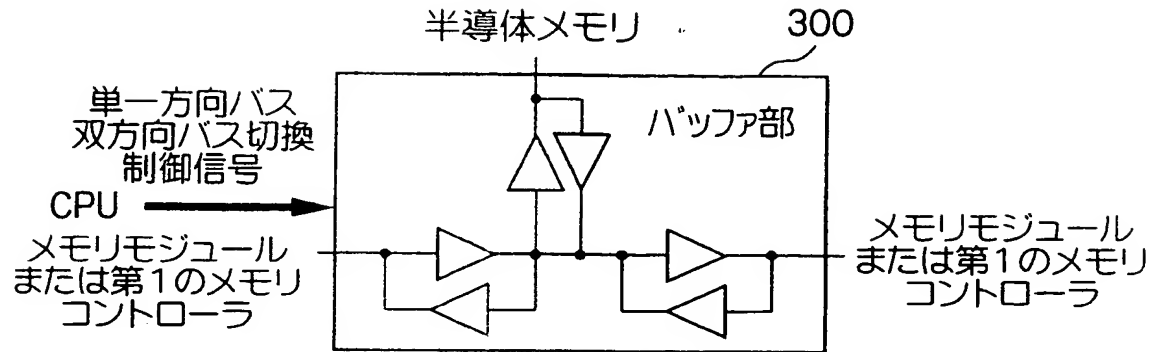
【書類名】

図面

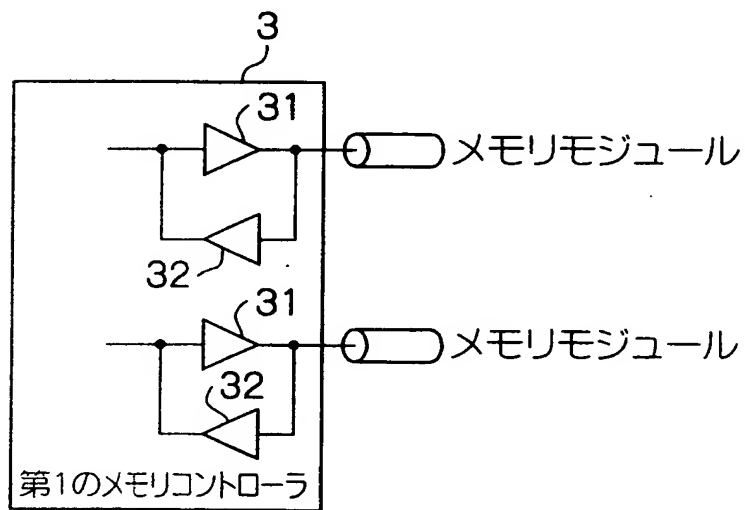
【図 1】



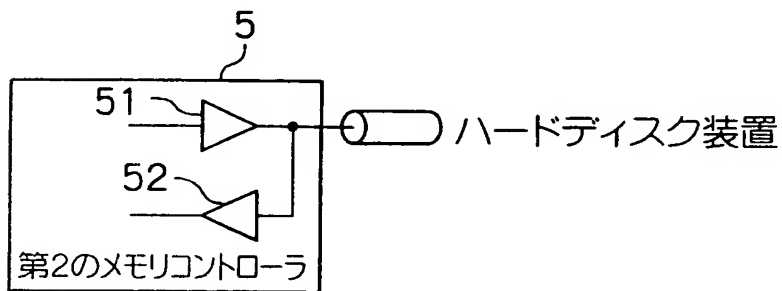
【図 2】



【図 3】

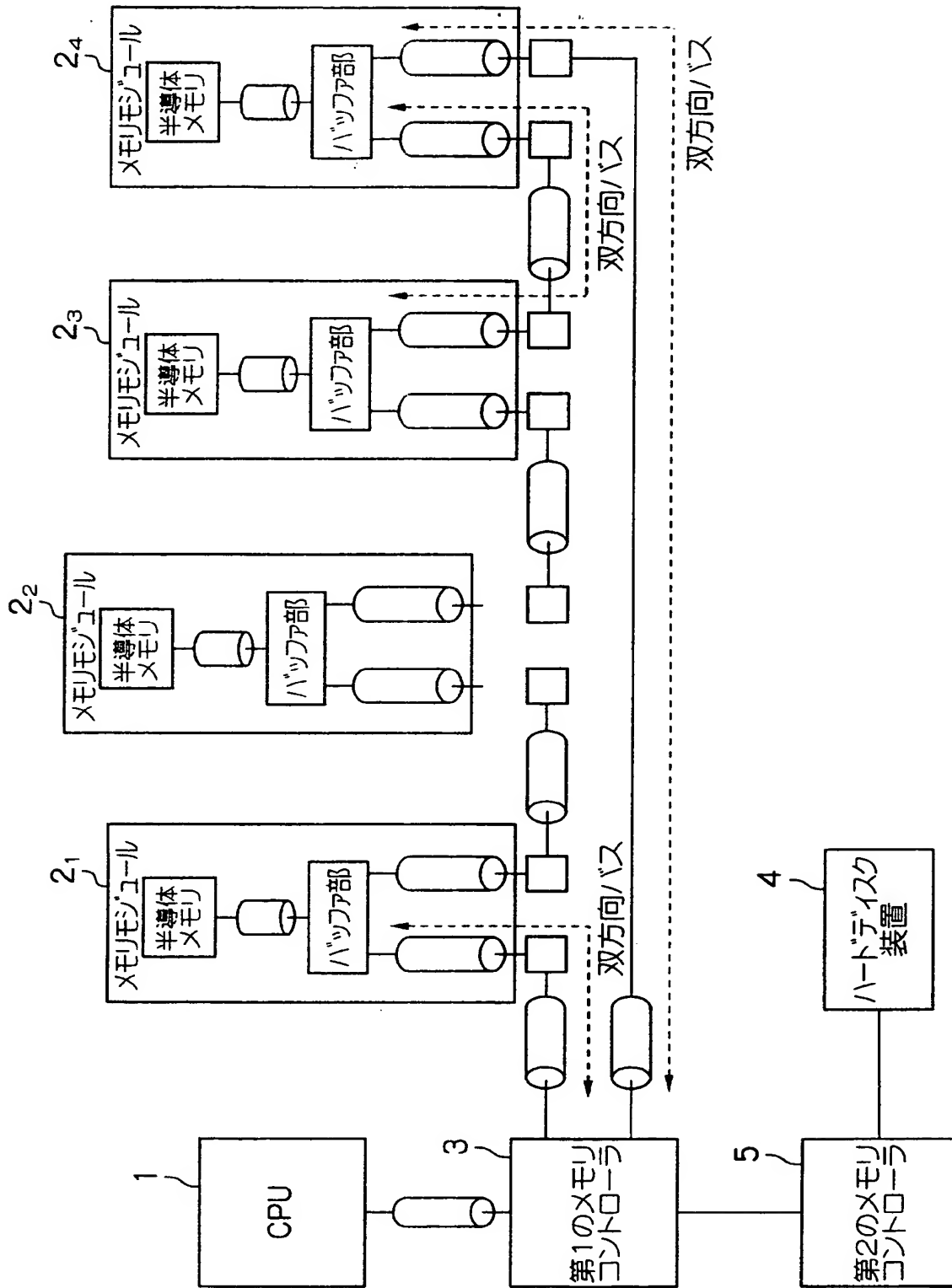


(a)

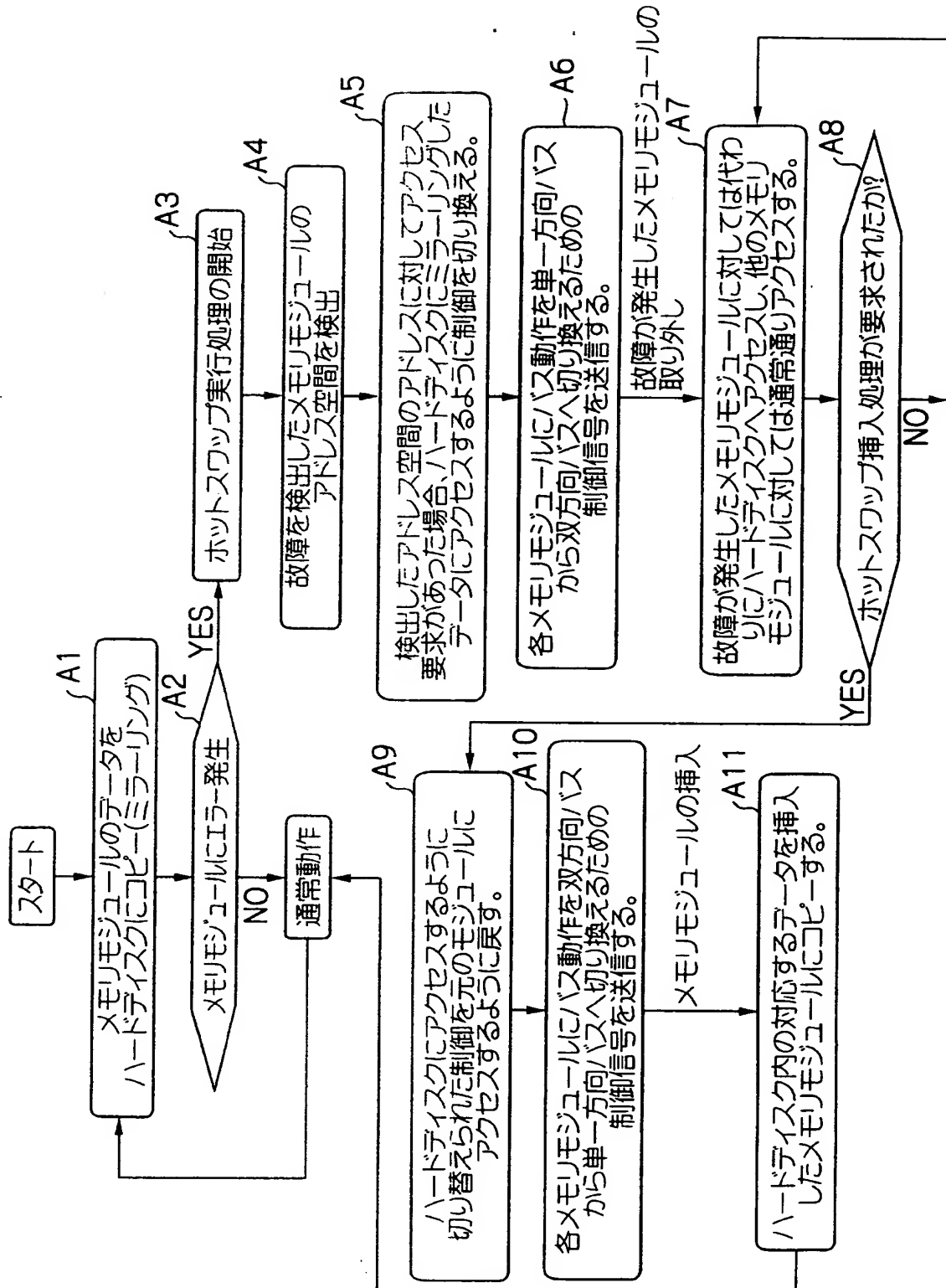


(b)

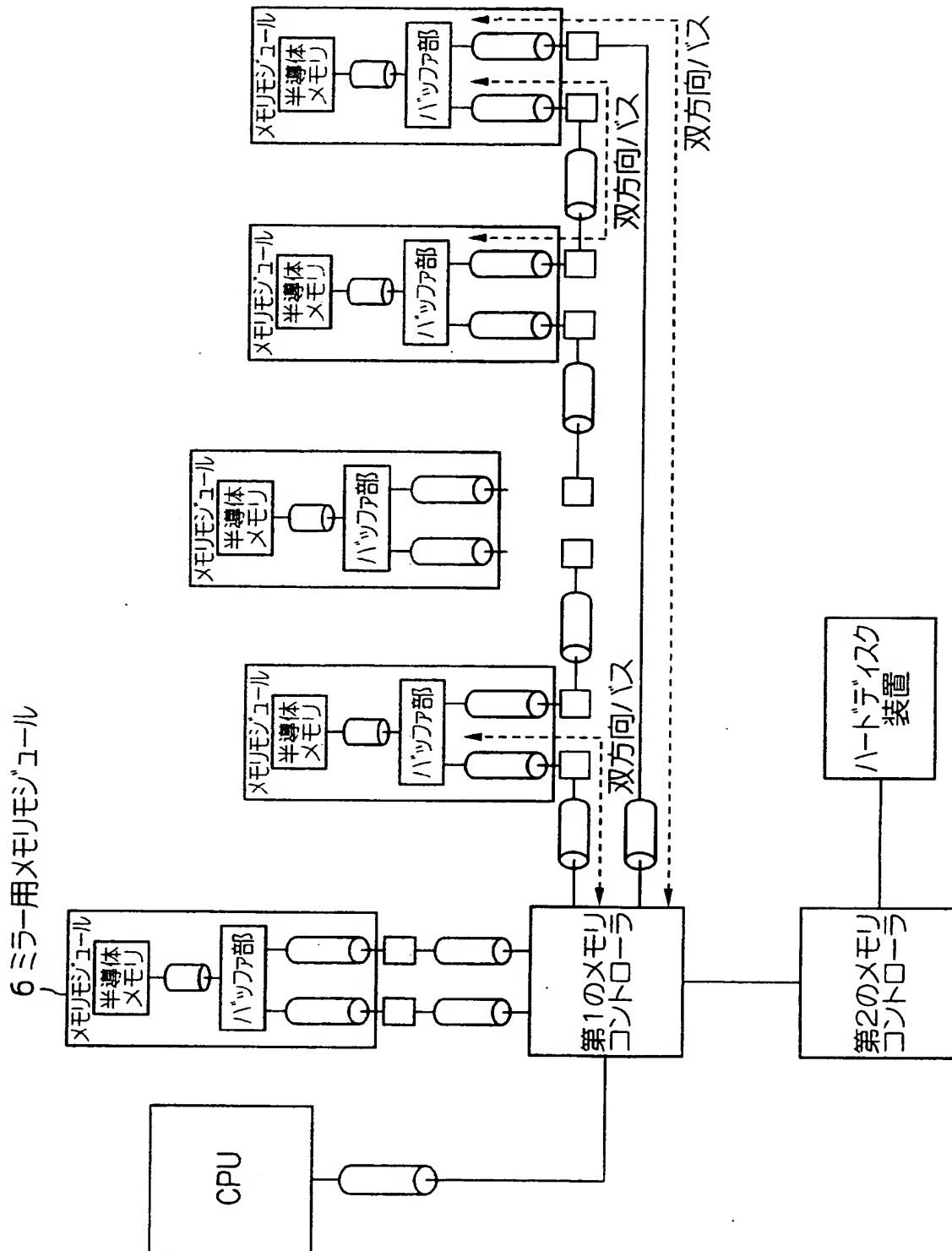
【図 4】



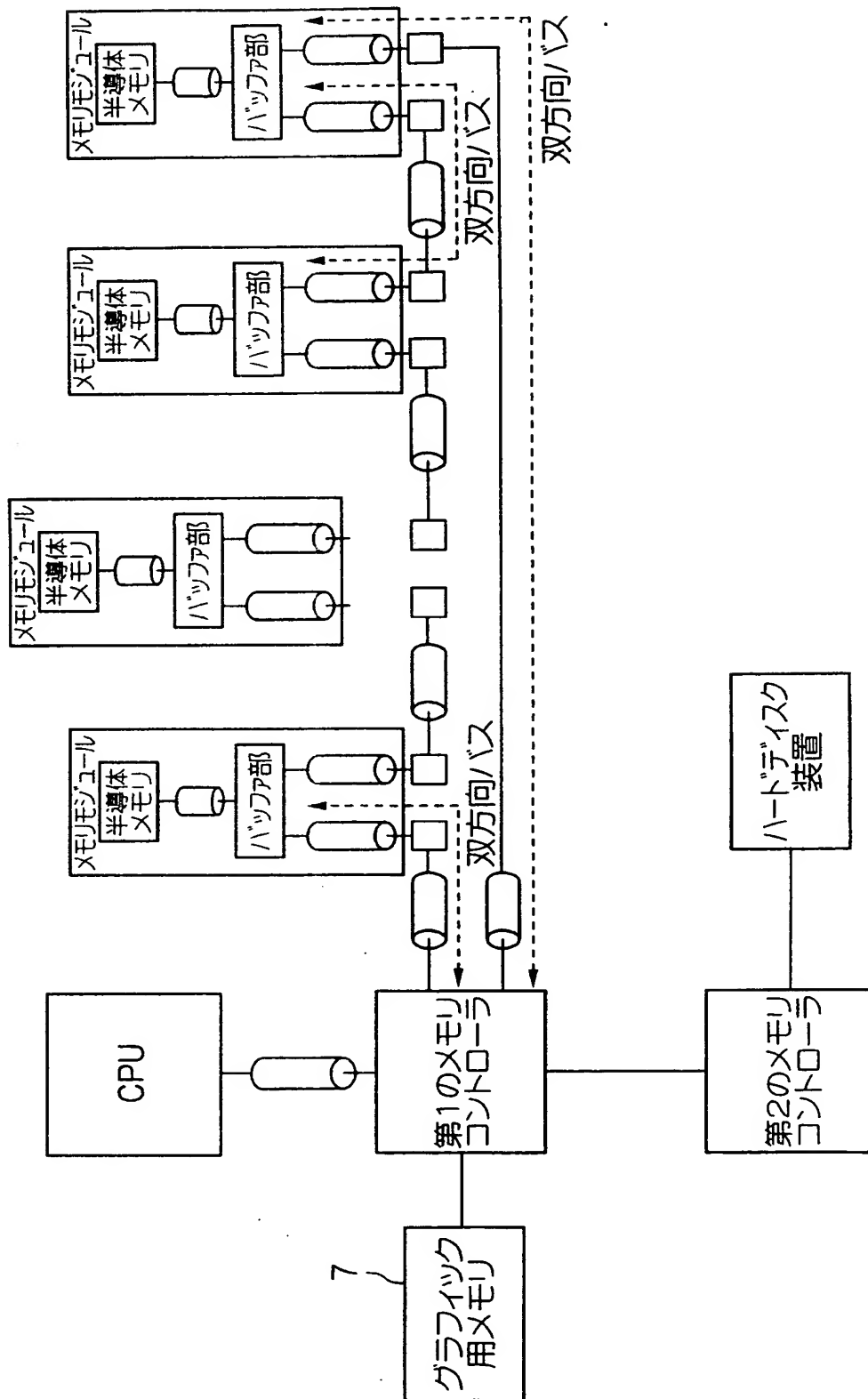
【図 5】



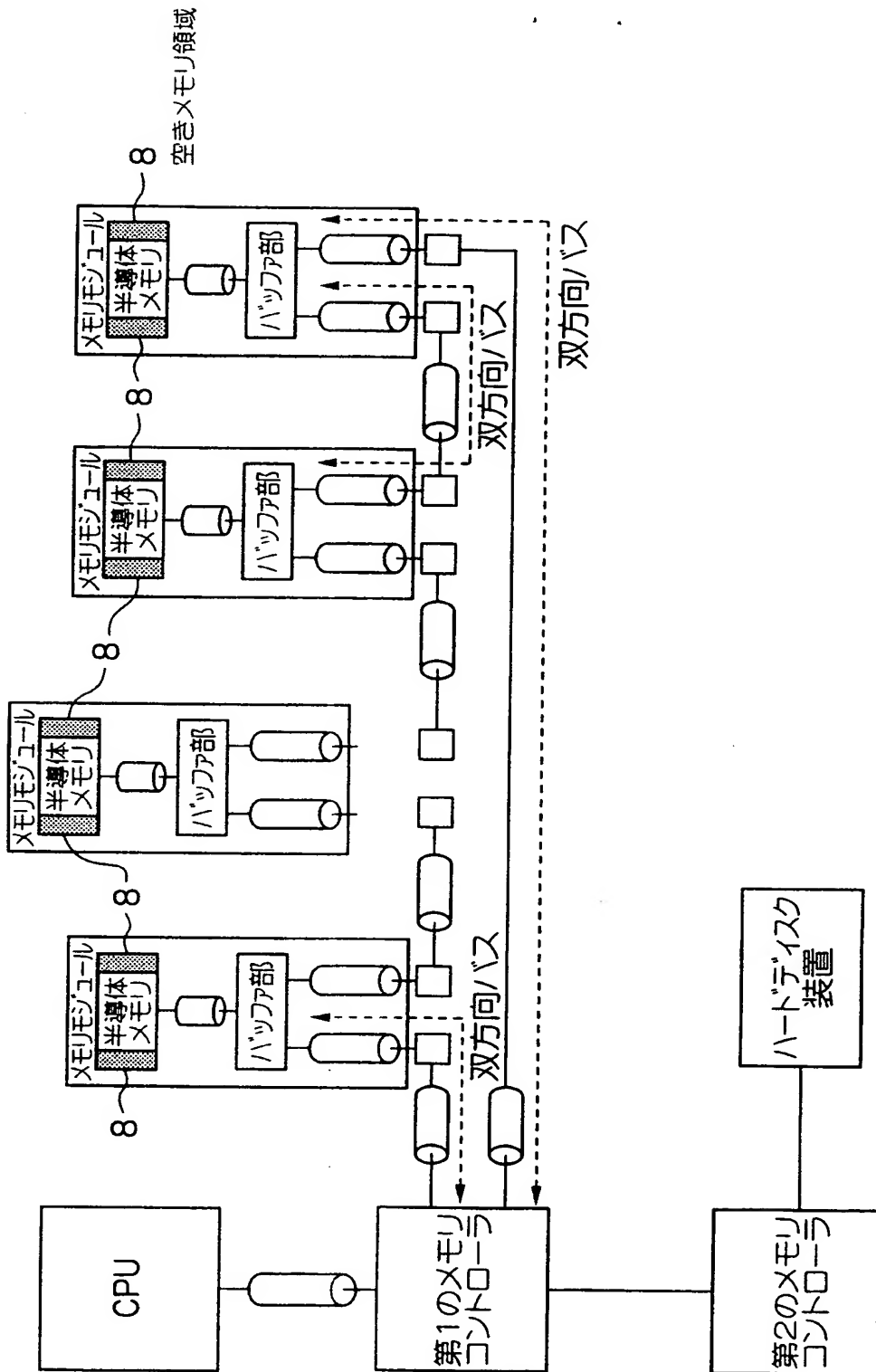
【図 6】



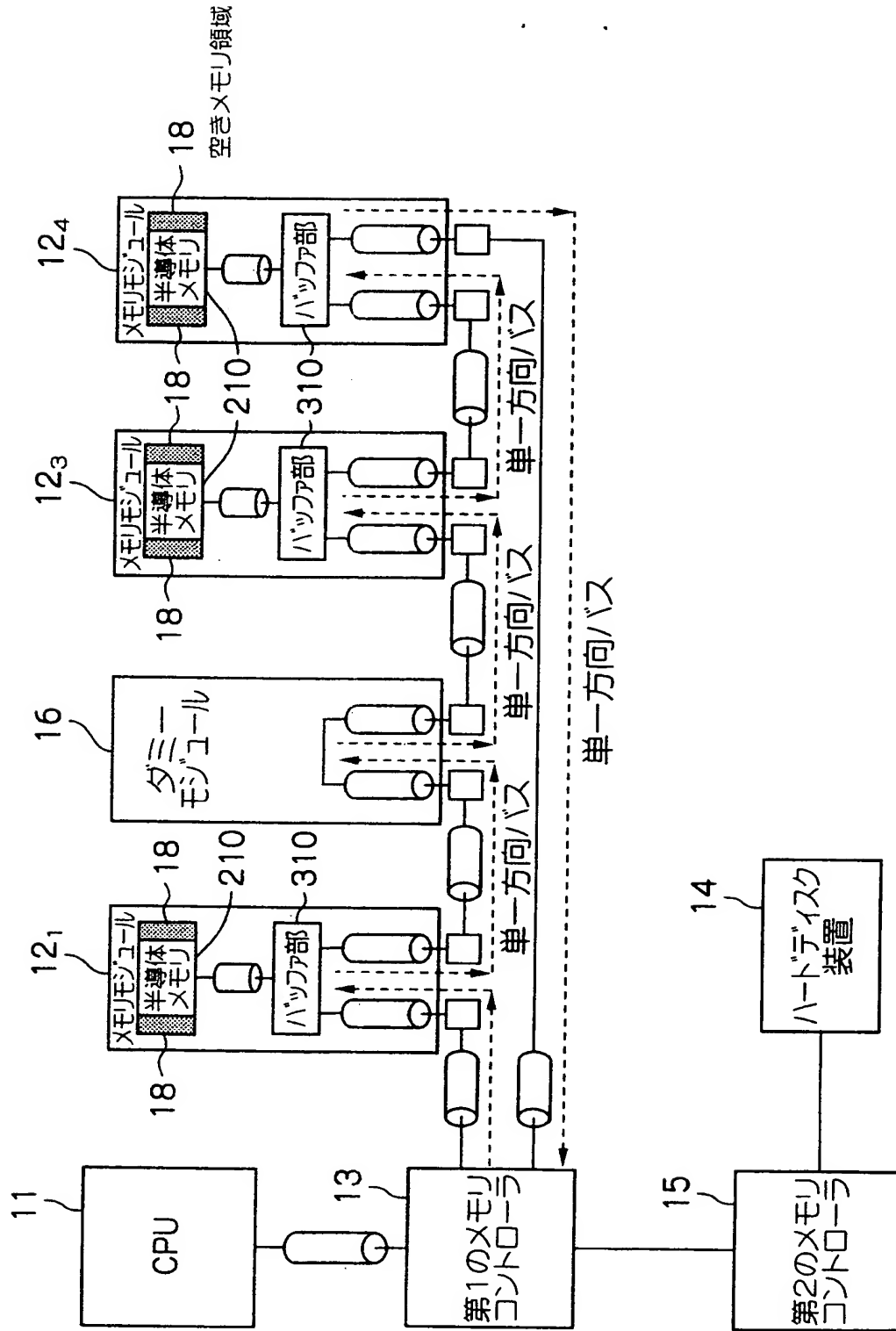
【図 7】



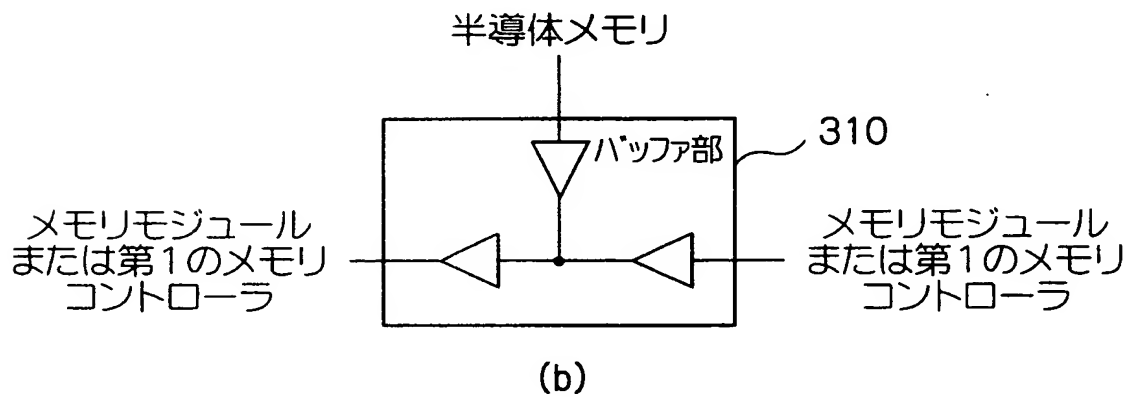
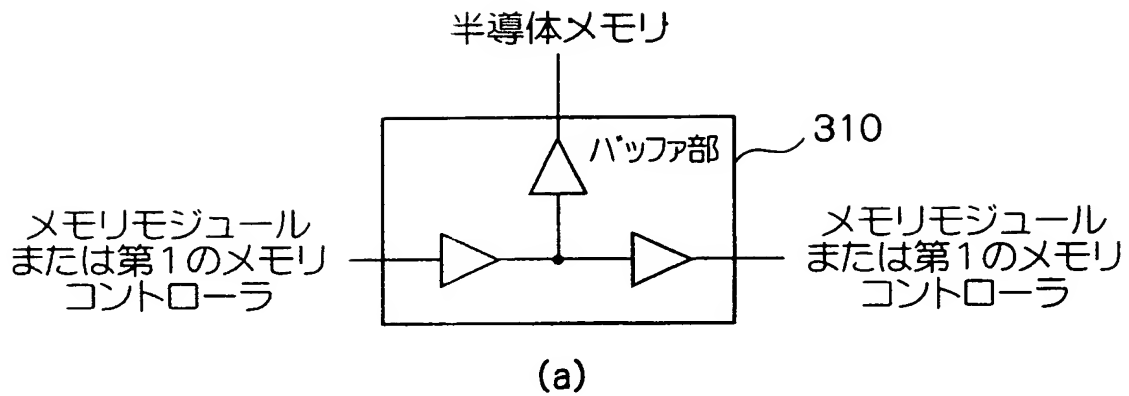
【図 8】



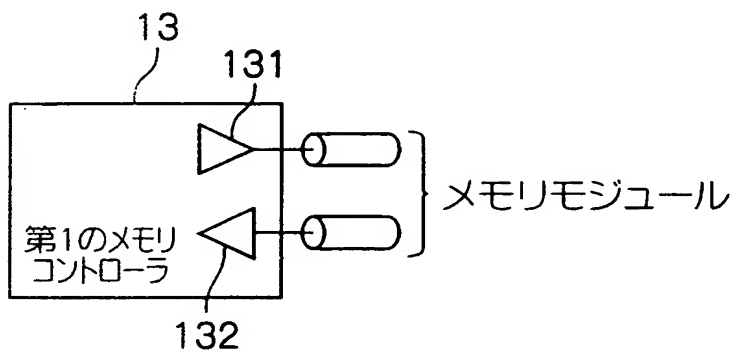
【図 9】



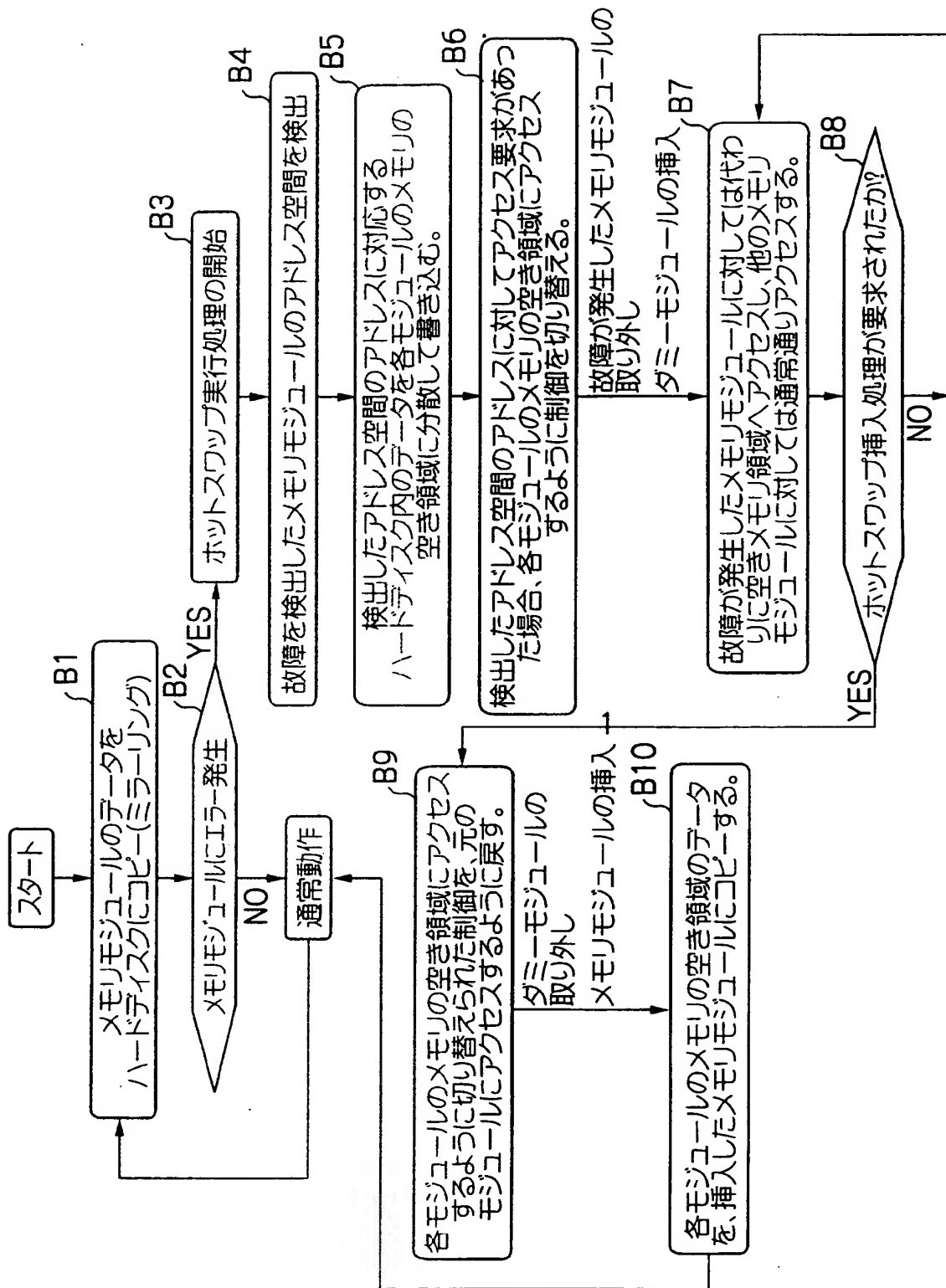
【図 10】



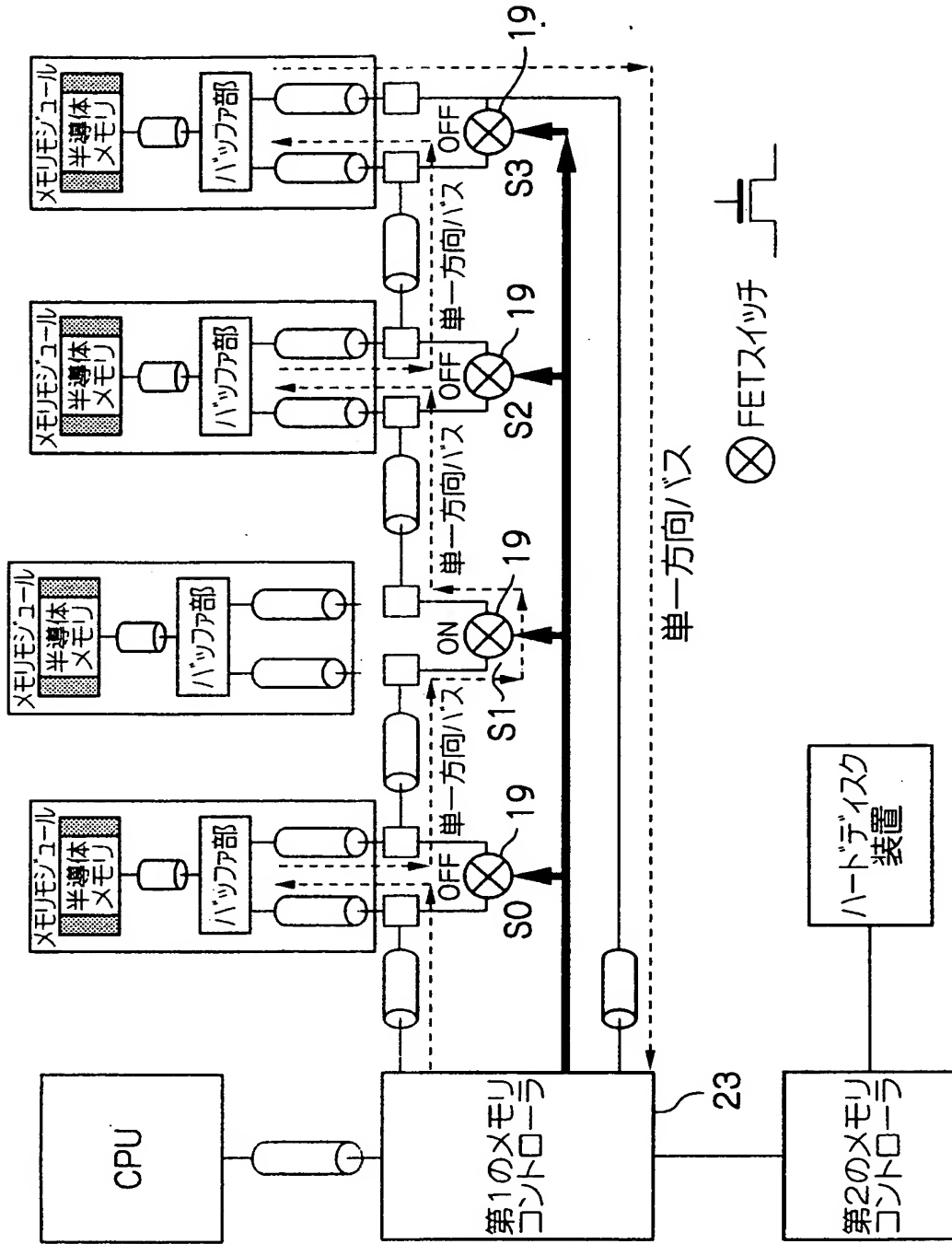
【図 11】



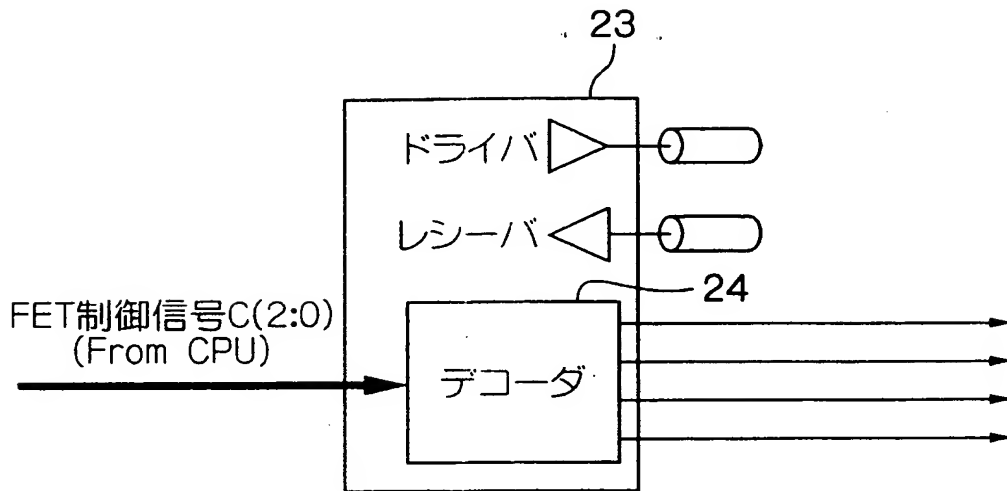
【図 1 2】



【図 13】



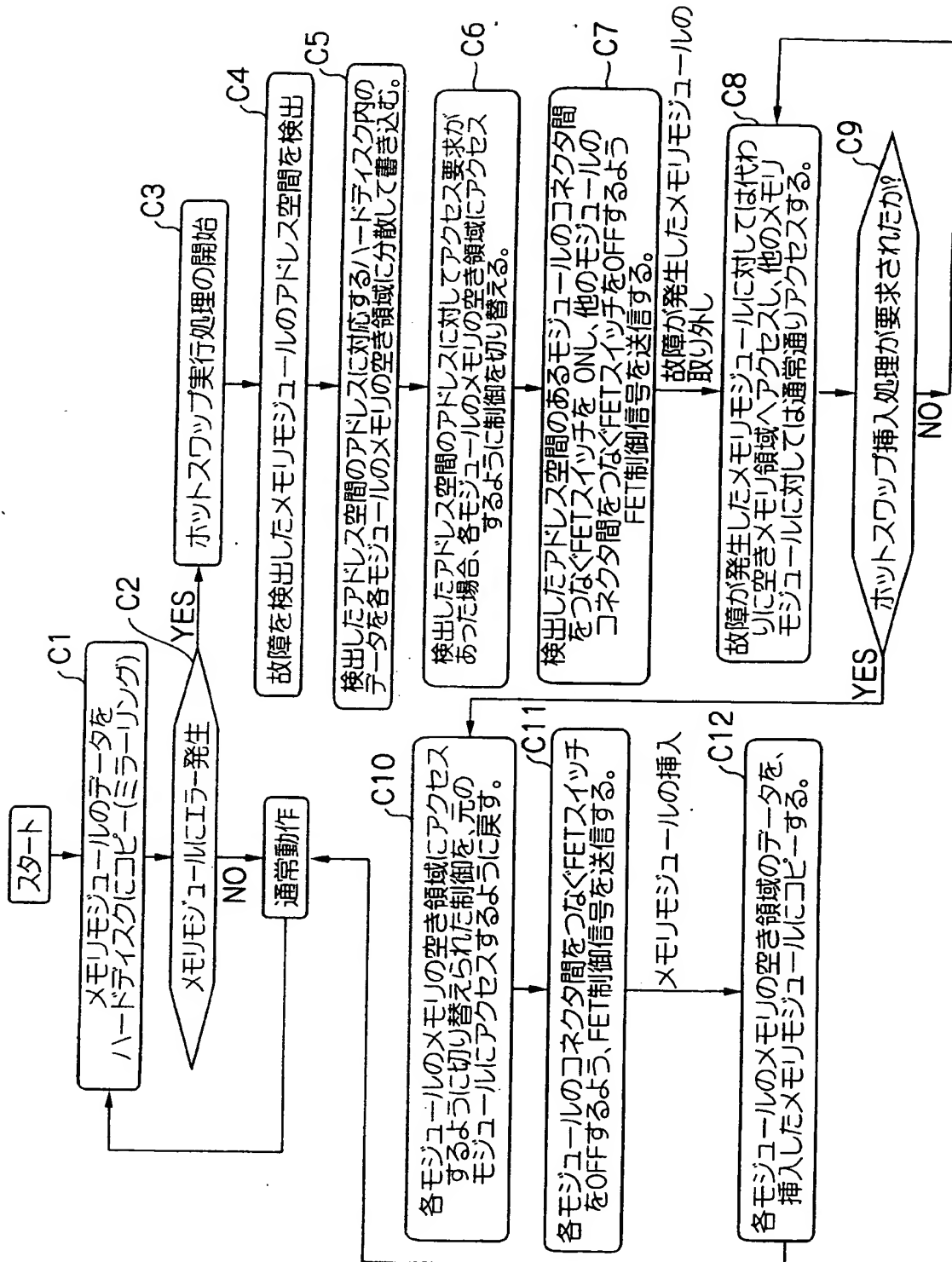
【図 14】



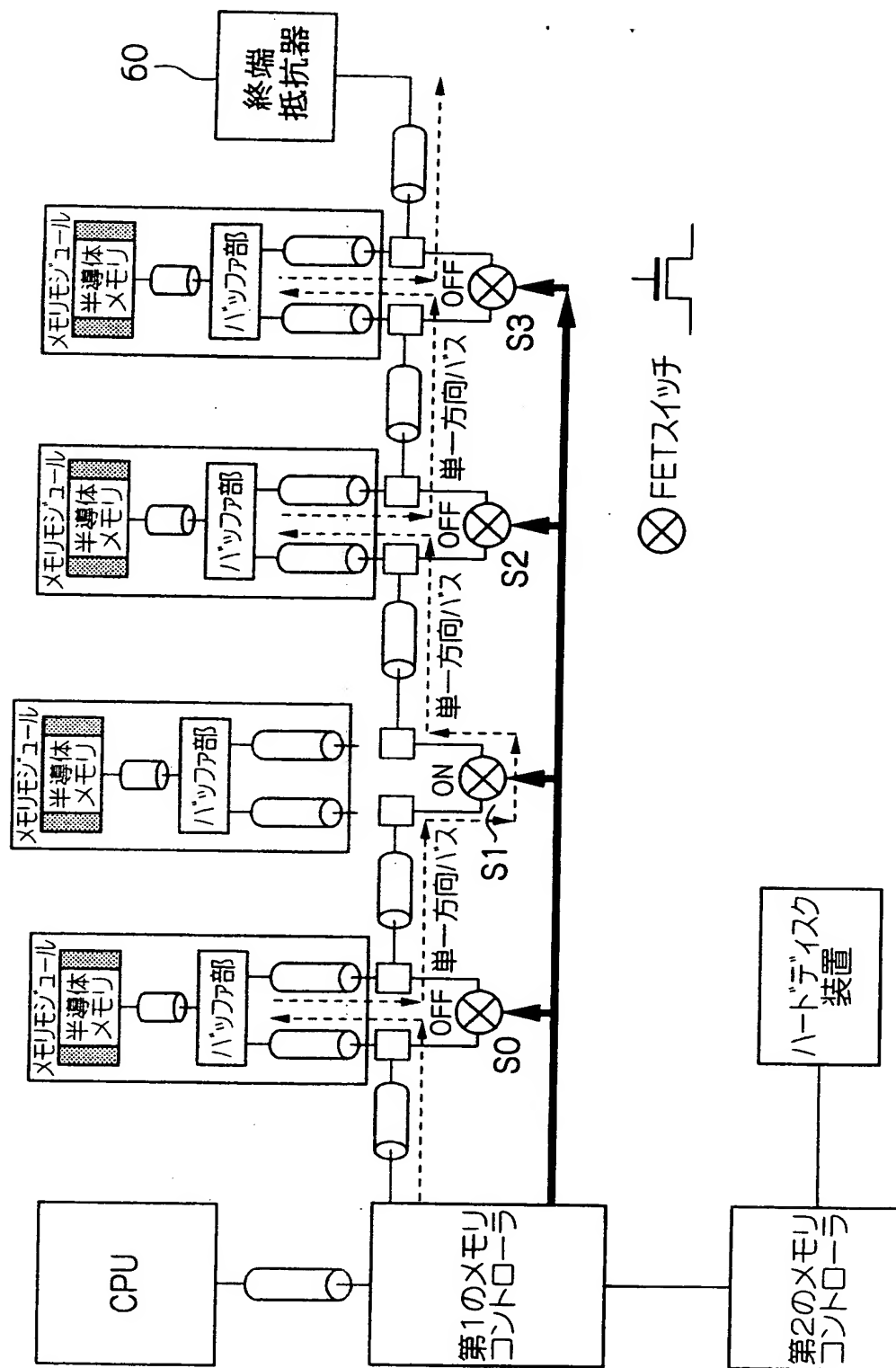
FET制御信号						
C2	C1	C0	S3	S2	S1	S0
H	L	L	L	L	L	L
L	L	L	L	L	L	H
L	L	H	L	L	H	L
L	H	L	L	H	L	L
L	H	H	H	L	L	L

L: FET スイッチ
OFF
H: FET スイッチ
ON

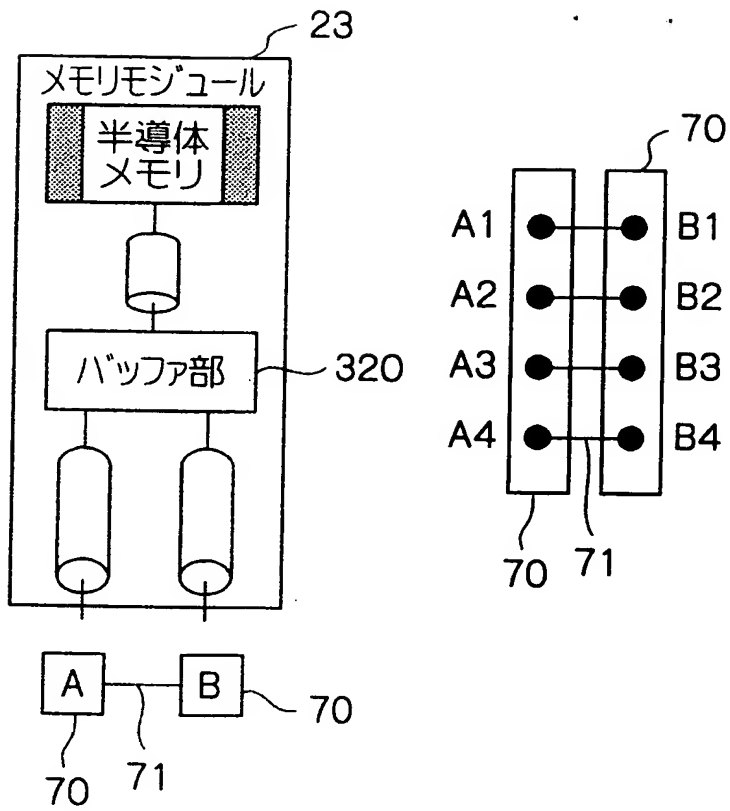
【図 15】



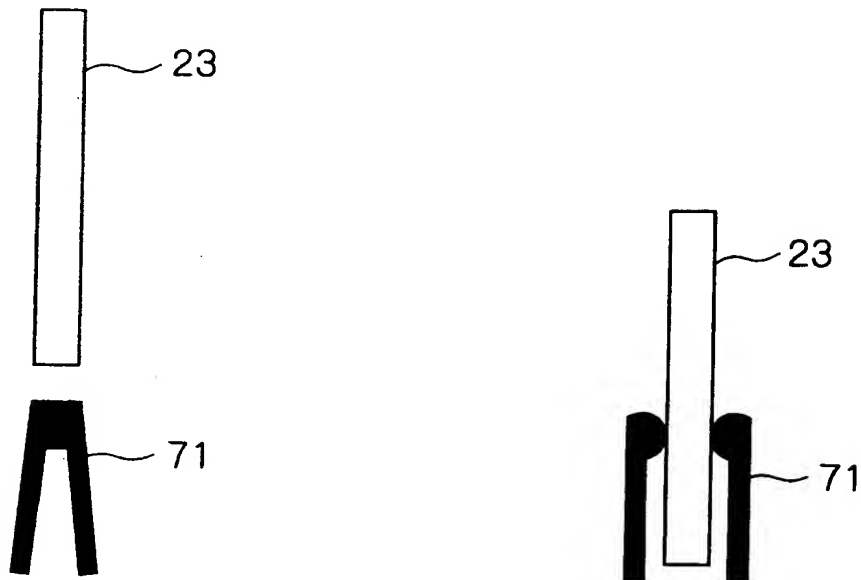
【図 16】



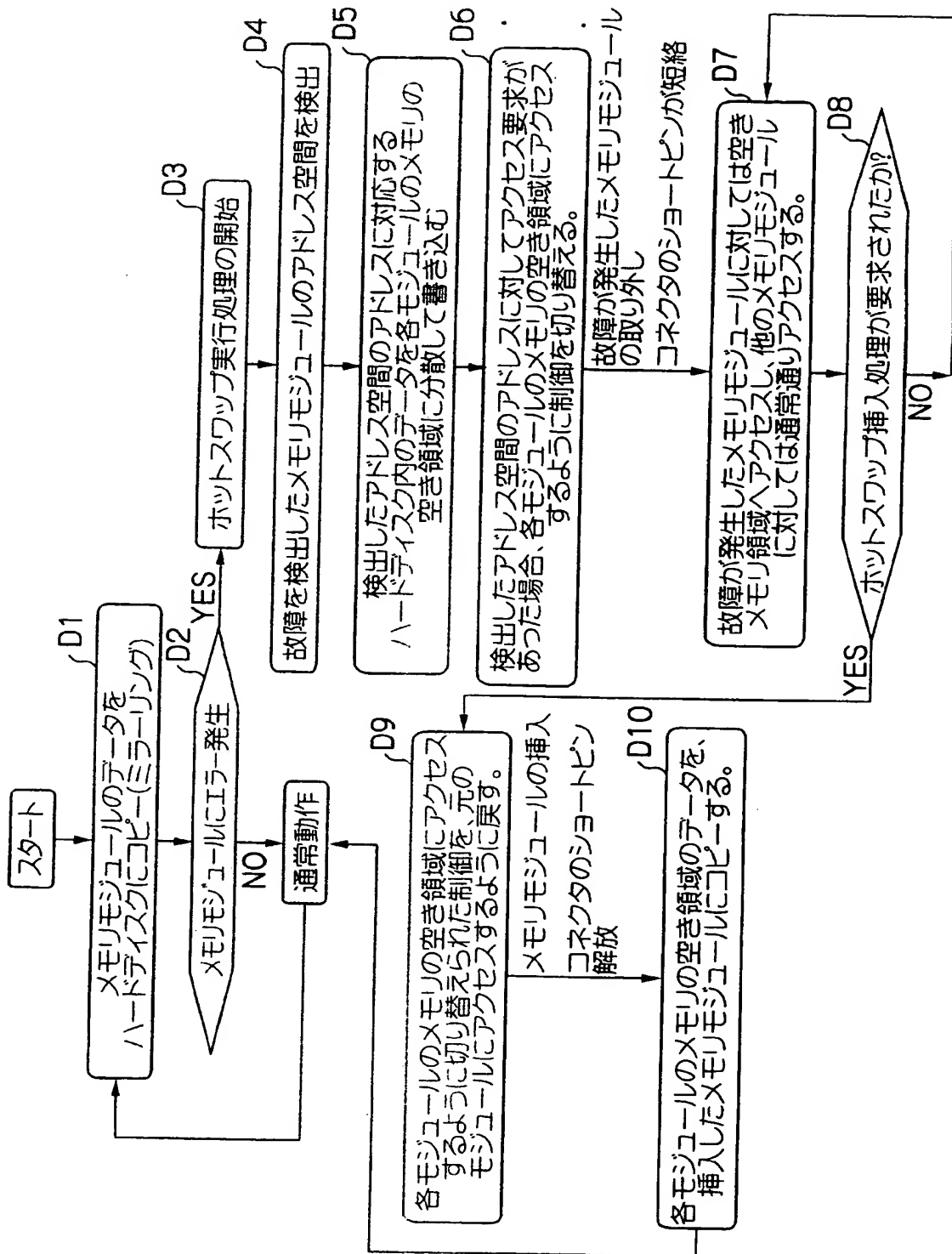
【図 17】



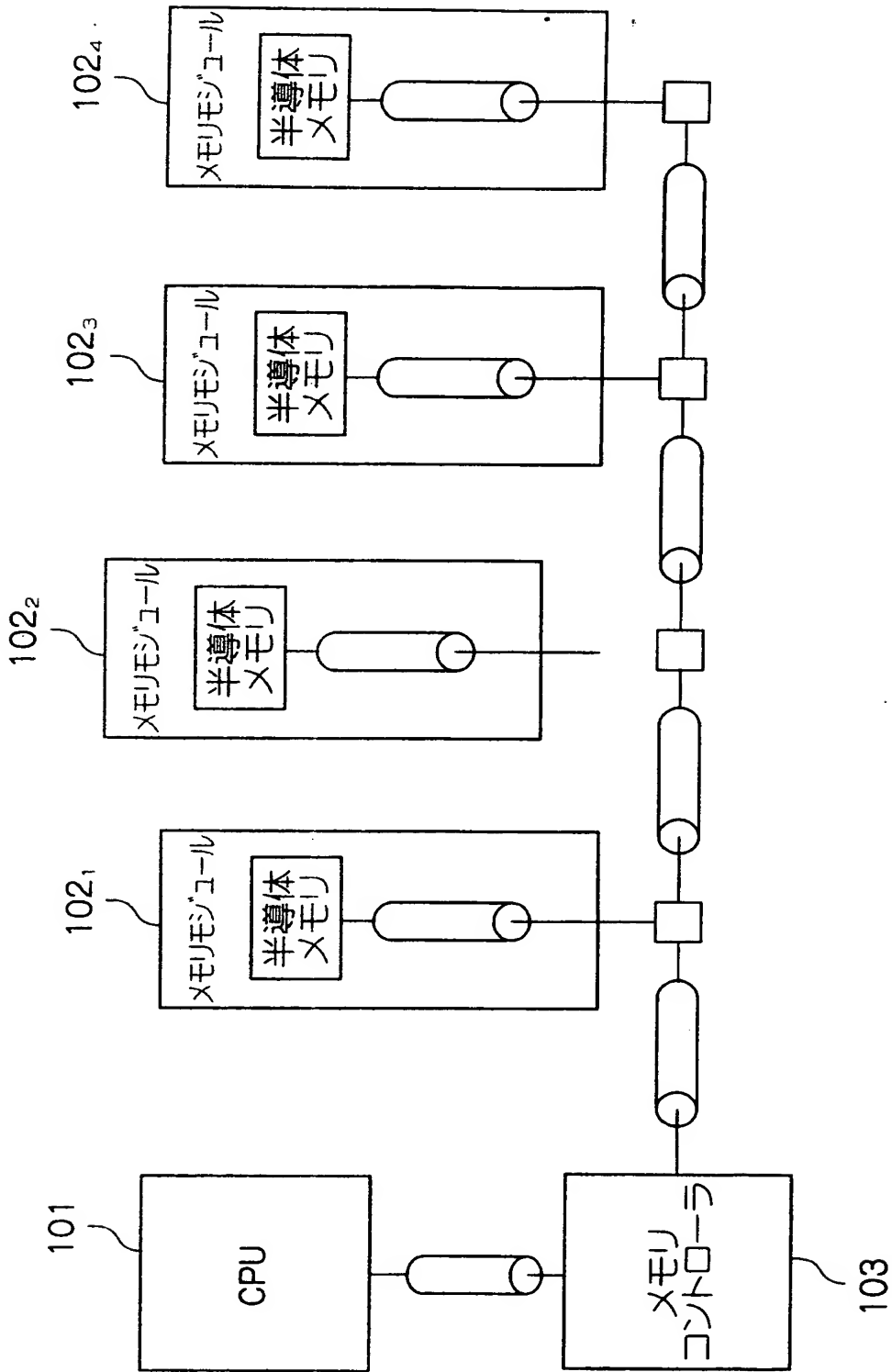
【図 18】



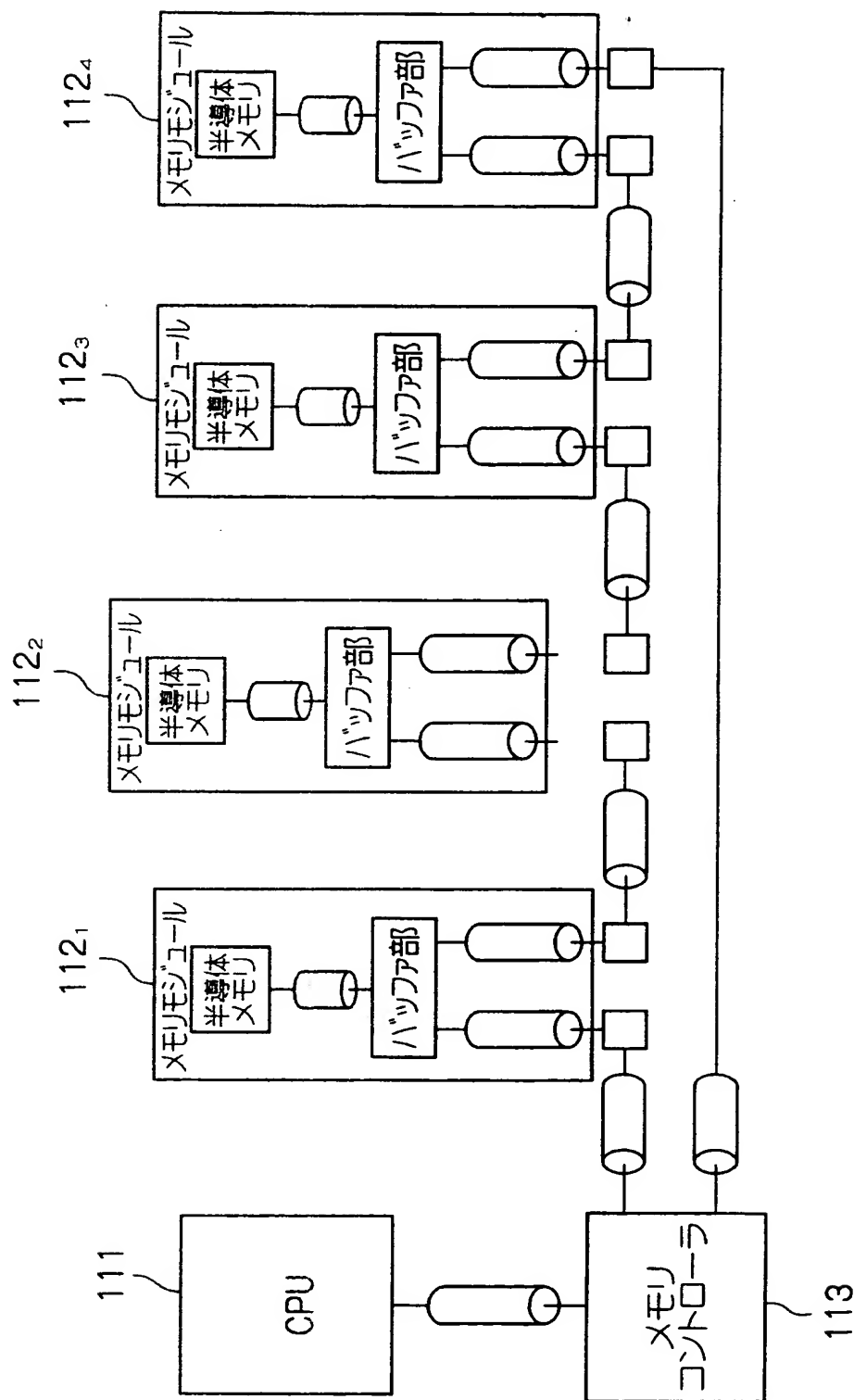
【図 19】



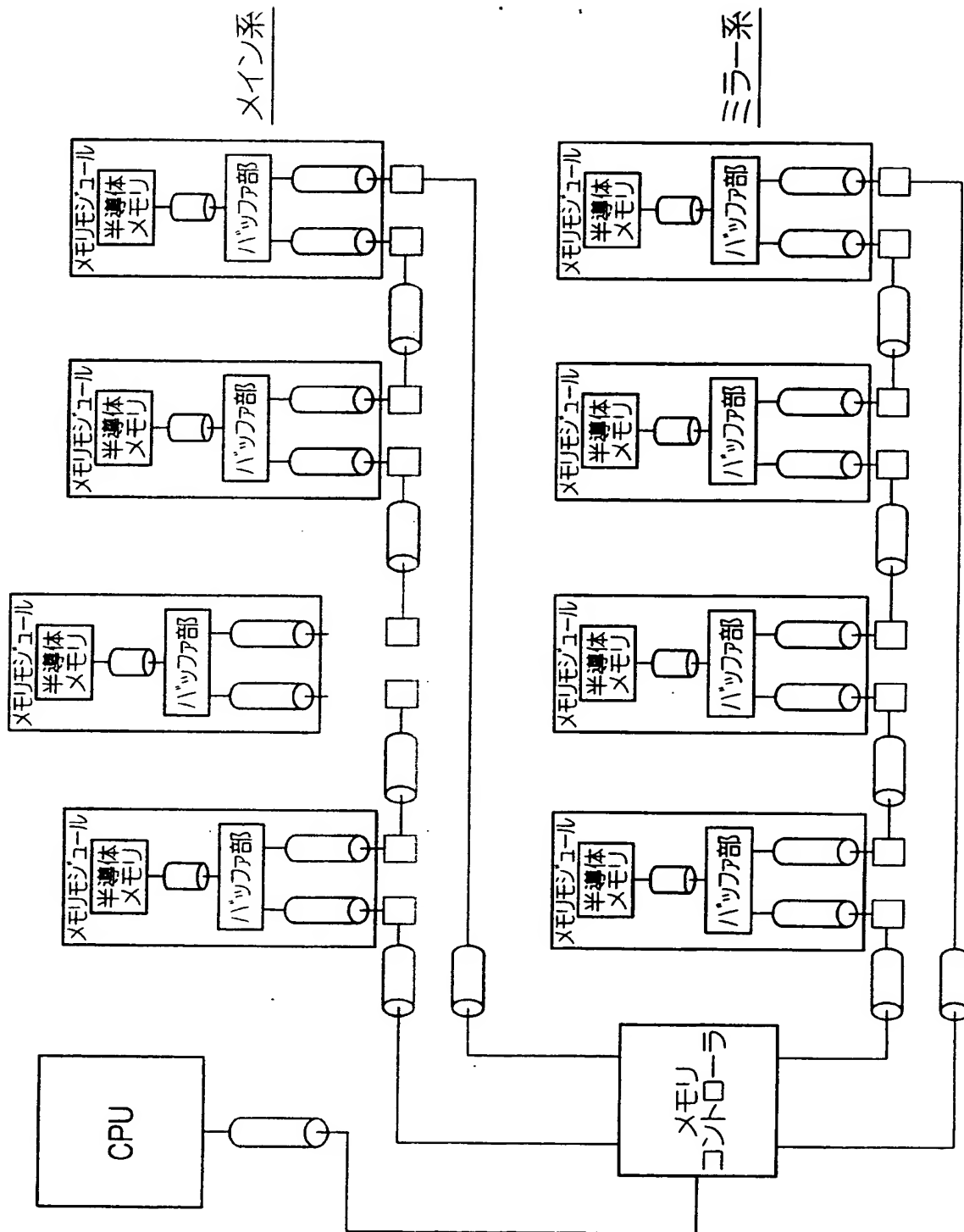
【図 20】



【図 21】



【図 22】



【書類名】 要約書

【要約】

【課題】 実装面積や価格上昇を抑制しつつホットスワップ機能を実現するメモリシステム、及び該メモリシステムを搭載した情報処理装置を提供する。

【解決手段】 メモリモジュールに格納されたデータを所定の周期毎にハードディスク装置にコピーし、任意のメモリモジュールを交換する際に、バスを単一方向バスから双方向バスに切り換え、交換するメモリモジュールに対するアクセス要求時に、該メモリモジュールのアドレス空間に対応するハードディスク装置内の記憶領域にアクセスする。また、交換するメモリモジュールのアドレス空間に対応するデータをハードディスク装置から記憶手段にコピーし、該メモリモジュールに対するアクセス要求時に、該アドレス空間に対応する記憶手段の記憶領域にアクセスする。さらに、交換するメモリモジュールを取り外すことで切断されるバス接続を短絡する。

【選択図】 図 1

特願 2 0 0 2 - 3 4 9 8 6 7

出 願 人 履 歴 情 報

識別番号

[5 0 0 1 7 4 2 4 7]

1. 変更年月日

2 0 0 0 年 7 月 1 2 日

[変更理由]

名称変更

住 所

東京都中央区八重洲 2 - 2 - 1

氏 名

エルピーダメモリ株式会社